

Split Gate MOS FETの開発状況

Development of Split Gate MOS FET

近藤 太郎*
Taro Kondo

概要 電子機器の主要パワー半導体への小型化、大電流化、高速化の要求を受け、さらなる小型化を目的として低電圧第11世代MOS FETのプロセス・デバイス技術を用いたSplit gate MOS FETの開発を進めている。Split Gate構造は耐圧とオン抵抗のトレードオフを改善し、従来のトレンチ構造よりもオン抵抗を低減できる。さらに、チップサイズを小さくできるため、スイッチングスピードの高速化にも効果がある。またサブストレート抵抗の低減を目的とした、ウェーハの薄厚化技術開発により8インチウェーハのさらなる薄厚化を実現した。本稿ではこれらの技術を組み合わせて低オン抵抗と高速スイッチングを両立するSplit Gate MOS FETの開発状況について述べる。

1. まえがき

パワー半導体デバイスとは、電力の制御や変換、供給を行うための半導体素子である。自動車や鉄道といった産業機器用途から、エアコンや冷蔵庫などの民生機器用途、さらには再生可能エネルギー用途まで幅広く用いられている。近年、省エネルギー対策の重要性が増しており、パワー半導体デバイスへの注目度が上がっているため、今後、市場規模が拡大することが予測されている。

パワーMOS FET(金属酸化膜半導体型電界効果トランジスタ)は、大電力を扱うパワー半導体分野において中心的な存在であり、その性能は、機器のエネルギー効率や消費電力などに直接影響するため、省エネおよび二酸化炭素の削減など環境に配慮するうえでも重要なデバイスである。

パワーMOS FETでもっとも重要視される特性はオン状態の導通抵抗(以下、オン抵抗)である。オン抵抗は、同一プロセスのパワーMOS FETで比較した場合、チップサイズが大きいほど低くなる。しかし、チップサイズが大きいほど、チップコストが上昇し、製品も大型化してしまう。また、製品のスイッチング損失低減のためにはパワーMOS FETのスイッチング速度の高速化が重要となる。高速スイッチングのためには、ゲートチャージの低減が重要となるが、オン抵抗が低いほどゲートチャージは大きくなり、このトレードオフの改善が低導通損

失と高速スイッチングを実現するパワーMOS FET開発の重要なポイントとなる。

低導通損失と高速スイッチングの両方を満たすために、Split Gate構造は特に低電圧アプリケーションにおいて有望なデバイス構造とみなされている。本稿では、当社のSplit Gate MOS FETの特徴、開発状況について述べる。

2. 市場背景

パワー半導体デバイスは自動車、鉄道、産業機器、情報通信機器、民生機器、新エネルギー(太陽光発電、風力発電など)、電力送電システムなど幅広い分野で使われている。産業用途ではファクトリ・オートメーション機器および工作機械やロボットなどのモーター駆動用の汎用インバータ、サーボモータなどにパワー半導体デバイスは欠かせない。また、自動車用でもハイブリッド電気自動車(HEV)や電気自動車(EV)のパワーウインドーやパワーステアリングなどにもパワー半導体デバイスが利用されている。このように、低損失、高効率のパワー半導体デバイスへの需要は着実に拡大している。

世界のパワー半導体デバイス市場の応用分野の推移を図1に示す。2013年以降の市場では、自動車(Automotive)、産業機器(Industrial)が大きなシェアを占めており、これらが成長分野である。

今後のパワー半導体デバイスの成長をもたらすと予想されている主な応用産業としてハイブリッド電気自動車

*技術本部 プロセス技術統括部 DISプロセス開発部 開発3課

や電気自動車等の次世代自動車市場の動向を取り上げる。2013年の世界の自動車総市場は8,500万台であり、2030年時点の自動車総市場は約1億2,900万台に成長すると予測されており、EV、PHEVに注目した政策による優遇処置により国内、米国、欧州各国、中国等で次世代自動車市場は伸長している。

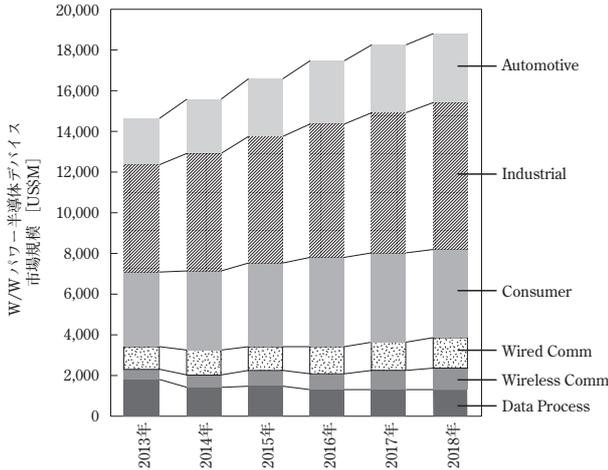


図1 世界のパワー半導体デバイス市場の応用分野別の推移

Trends by application field of world power semiconductor device market
 出典：「平成26年度 特許出願技術動向調査報告書(概要)パワー半導体デバイス」(特許庁)
https://www.jpo.go.jp/shiryoku/pdf/gidou-houkoku/26_19.pdfをもとに当社作成

自動車や産業機器市場でMOS FETが多数使用されている低電圧MOS FETの市場マップを図2に示す。産業機器向けや自動車向けのアプリケーションでは機器の大電流化や小型化、省電力化に対応するため、MOS FETに非常に低いオン抵抗が要求される。しかしながら従来のトレンチ構造MOSFETでは同一素子サイズでの低オン抵抗化が限界に達しつつあり、市場要求に対応することが難しくなってきた。

当社ではこの要求に応えるため、Split Gate構造のMOS FETを開発し、さらなる低オン抵抗化を図ることとした。

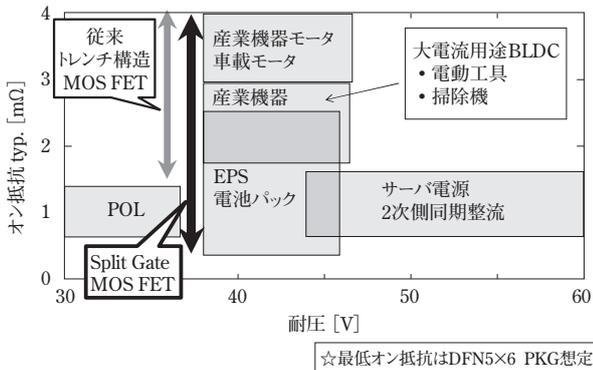


図2 低電圧MOS FET市場マップ
 Low voltage MOS FET market map

3. MOS FETの技術動向

近年、低電圧のMOS FETは図3に示すようなトレンチ構造が主流となっている。トレンチ構造MOS FETのオン抵抗は、トレンチ側壁のチャンネル抵抗 R_{ch} と、エピ層(ゲート電極下ドレイン間の高抵抗層)のエピ抵抗 R_{epi} と、サブ層(エピ層下の低抵抗層)のサブストレート抵抗(以下、サブ抵抗) R_{sub} の和となる。初期のトレンチ構造MOS FETのオン抵抗は R_{ch} が支配的であったが、近年のトレンチ構造MOS FETでは、チャンネルがトレンチの側壁に形成されるので、微細化によって単位面積当たりのチャンネル面積を増やし、 R_{ch} を低減することができる。このように R_{ch} は微細化によって低減できるので、微細化とともにオン抵抗は低減していった。しかしながら、現在極度に進んだ微細化によって R_{ch} はほとんど無視できるまでになってきている。

微細化が進み R_{ch} の低下が進んだ結果、さらなる低オン抵抗化のためには特に R_{epi} の低減が重要となった。しかし、 R_{epi} は耐圧とトレードオフの関係にあるため、従来のトレンチ構造MOS FETでは耐圧を維持しつつ R_{epi} を低減することができなかった。このトレードオフを改善する技術として、Split Gate構造が開発された。

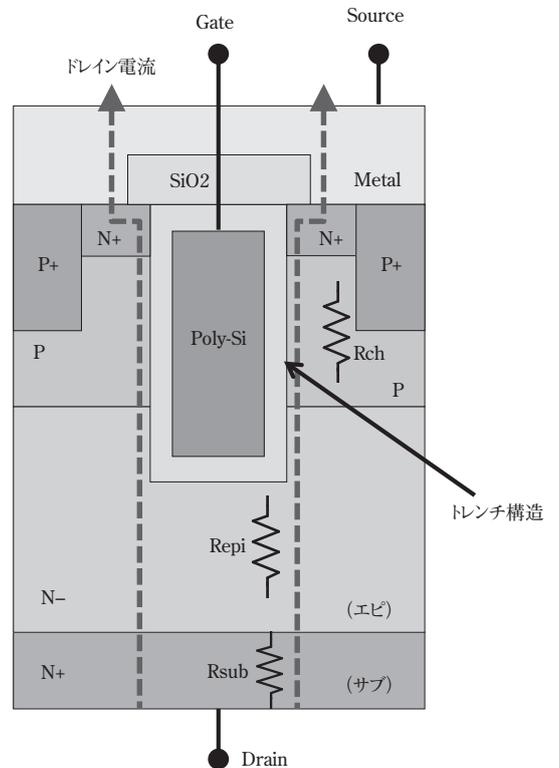


図3 トレンチ構造MOS FET
 Trench structure MOS FET

4. Split Gate MOS FETの特徴

当社では R_{epi} と耐圧とトレードオフを改善し、低オン抵抗の要求に対応するために、MOS FET構造の新規設計を行い、単位面積当たりのオン抵抗 $R_{on} \cdot A$ を低減し、同時にスイッチングスピードも向上するSplit Gate MOS FETを開発している。図4にSplit Gate MOS FETの構造を示す。特徴はGate電極の下にSource電位を持つSplit Gateを形成することでエピ層の電界緩和をすることができる点である。これにより、従来のトレンチ構造MOS FETに対して耐圧を低下させることなく、 R_{epi} を低減でき、 $R_{on} \cdot A$ を大幅に低減することが可能となる。

MOS FETはオン抵抗とスイッチングスピードがトレードオフの関係にあり、一般的にオン抵抗 R_{on} とスイッチングスピードの指標となるゲートチャージ Q_g との積である $R_{on} \cdot Q_g$ が性能指数として表される。 $R_{on} \cdot Q_g$ は低い方が高性能であり、これを低減できれば、MOS FETの低オン抵抗と高速スイッチングの両立を図ることができる。Split Gate MOS FETは $R_{on} \cdot A$ を低減できるため、チップ面積を小さくできる。チップ面積は Q_g と比例関係にあるため、Split Gate MOS FETは $R_{on} \cdot Q_g$ も低減することができる。

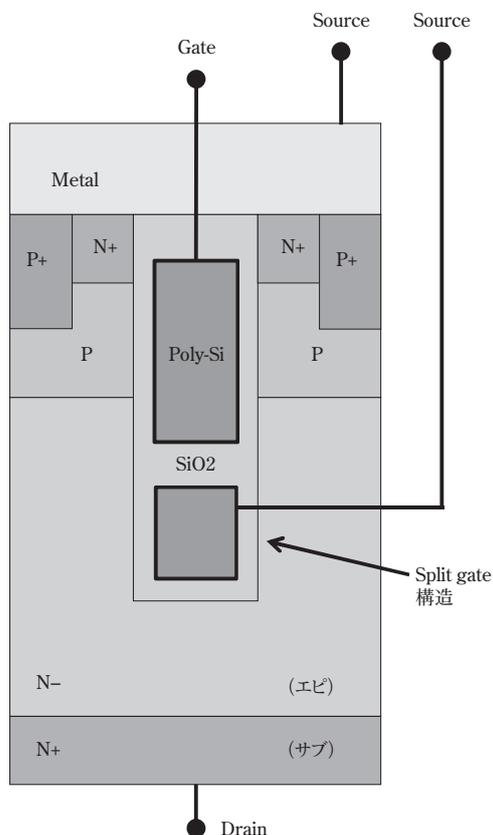


図4 Split Gate MOS FET

5. ウェーハ薄厚化技術

トレンチ構造MOS FETのオン抵抗を低減するアプローチには前述したデバイス構造の他にウェーハの薄厚化技術がある。近年、デバイス構造の成熟に伴って、ウェーハ薄厚化技術に注目が集まっている。

トレンチ構造のMOS FETは縦型構造のため、オン抵抗を減らすにはウェーハをできるだけ薄くし、 R_{sub} を低減することが重要である。さらに、ウェーハを薄くすることで放熱効果が向上するため、発熱による抵抗上昇を抑制する効果も期待できる。しかしながら8インチの大口径ウェーハを単純に薄厚化した場合、ウェーハの反りによる自動搬送エラーやハンドリング時の破損による歩留り低下が発生する。そのため、当社ではこれらの課題を克服する技術開発を行い、8インチウェーハでの薄厚化に成功した。



図5 8インチ極薄ウェーハ
8-inch ultra-thin wafer

6. 開発効果

トレンチ構造MOS FETとSplit Gate MOS FETのオン抵抗成分比較結果を図6に示す。Split Gate MOS FETは、Split Gateの形成とウェーハの薄厚化によって、従来のト

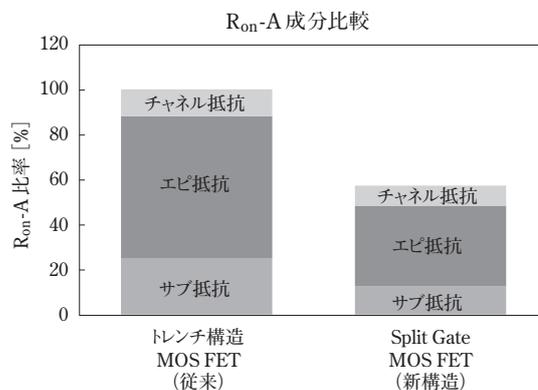


図6 トレンチ構造MOSFETとSplit Gate構造MOS FETのオン抵抗成分比較

Comparison of on-resistance components of trench structure MOS FET and split gate structure MOS FET

トレンチ構造では困難であったエピ抵抗成分とサブ抵抗成分の大幅な低減を実現している。

これらの技術の組み合わせにより、当社ではオン抵抗の性能指数 $R_{on} \cdot A$ を当社比で40%の低減できている。また、スイッチング性能指数である $R_{on} \cdot Q_g$ を40%の低減することに成功している。

7. むすび

当社では市場からの更なる高性能要求に応えるべく、Split Gate技術による次世代トレンチMOS FETの開発および新たなパッケージの開発に注力している。今後も産業機器市場や自動車市場などからのニーズに応えるべく、製品開発を進めていく所存である。