

デジタル制御による高効率力率改善回路の開発

Development of High Efficiency Power Factor Improving Circuit by Digital Control

大 竹 修*
Osamu Ohtake

吉 永 充 達*
Mitsutomo Yoshinaga

朴 修 慶**
Park Sookyung

趙 湘 熙**
Jo Sanghee

概要 近年、IoT機器やサーバー電源、民生・産業機器用途など、高出力電源の需要が大きく伸びると予測される中で、さらなる高効率化の要求が高まっている。これらに対して、当社ではブリッジレスPFC制御と全波電流共振電源制御を1パッケージで制御可能な、デジタル制御電源IC「MD6751」を開発した。基本制御はADコンバータとMCUを用いた数値演算によるフルデジタル制御により、各負荷条件/入力条件において最適な制御を行うことで、力率改善回路の高効率化を可能にした。また、全波電流共振制御はPFCと協調制御を行うことで、周辺部品と基板面積削減により電源小型化が可能となった。

1. まえがき

パワーエレクトロニクスとは、パワーデバイスと各種の電力変換要素を組み合わせることであり当社の主力事業領域である。一方で、AI (Artificial Intelligence) や5G通信、IoT (Internet of Things) などの新しい技術が大きな社会革新の原動力となりつつあり、パワーエレクトロニクスも例外ではなく社会に大きなインパクトを与えるチャンスである。このような社会環境の変化に対して、当社は持続的競争優位を確立するための基幹技術として、スイッチング電源のデジタル制御化を重要なテーマと位置づけている。デジタル制御技術は、AIおよびIoT、各種通信と親和性が高く様々な新しい価値を生み出すことができると考えており、当社が提唱する技術プラットフォーム“Power IoT”は、このような技術的融合によりイノベーションを志向するものである。

本稿では、デジタル制御技術を用いて新しく開発を行った周波数可変型CCM (電流連続型)ブリッジレスPFC (力率改善回路)と、デジタル制御であるが待機電力を従来電源と同等以上に改善を行った全波電流共振電源および、これに対応した新製品ICとしてMD6751の開発を行ったので報告する。

2. MD6751の製品概要

MD6751の外観写真1に示す。フロー実装対応のSOP28を採用し、内部はドライバIC (写真2)と論理制御IC (写真3)からなるマルチチップ構成である。

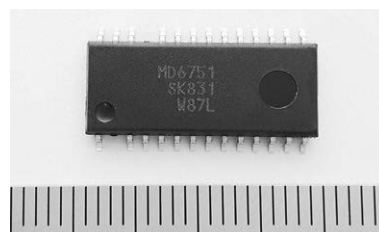


写真1 製品外観
External view of MD6751

写真2は、パワーMOSFET駆動用の600V対応フローティングゲートドライバと高圧起動回路用900V耐圧FETなどを集積したドライバICである。写真3は、CMOS回路と不揮発性メモリの混載プロセスを採用した論理制御IC (MCU)である。

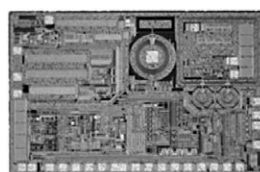


写真2 ドライバIC
Layout of Driver IC Die

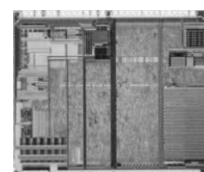


写真3 論理制御IC
Layout of MCU Die

* デバイス事業本部 技術本部 応用技術部
** サンケンエレクトリックコリア株式会社

MD6751の端子機能を表1に示す。起動回路やハイサイドドライバといった高圧端子があるため、抜きピンを行い2.54mmの沿面距離を確保した。VCC端子に15Vを入力すれば、MD6751内でMCU用3.3V電源が生成される。アナログ入力端子が2系統、デジタル入出力端子が5系統設けられており、プログラムで自由に機能を設定可能である。

フルデジタル制御電源IC:MD6751を使用することで、個別の電源要求に柔軟に対応した電源システムを構成することが可能となる。

表1 MD6751 端子機能
Pin Functions of MD6751

番号	端子名	機能
1	ST	起動電流入力, Xコンデンサ放電電流入力
2	—	抜きピン
3	CS	PFC部過電流保護信号入力
4	PGND	パワーグラウンド
5	VGP	PFC部ゲートドライブ出力
6	VCC	制御部電源入力, VCC端子過電圧保護機能
7	BASE	DVCC端子用外付けトランジスタベース電圧出力
8	GND	グラウンド
9	AVCC	3.3Vアナログ電源端子
10	DVCC	3.3Vデジタル電源端子
11	VREF	PFC部定電圧制御信号入力
12	ANEX3	アナログ入力端子
13	ANEX9	アナログ入力端子
14	FB	パワーMOSFET制御信号入力
15	VSEN	入力電圧検出信号入力
16	VCORE	内部デジタル回路電源用コンデンサ接続
17	GPIO02	汎用入力/出力端子
18	GPIO03	汎用入力/出力端子
19	GPIO01	汎用入力/出力端子
20	GPIO05	汎用入力/出力端子
21	GPIO04	汎用入力/出力端子
22	SCID	デバッグ端子(未使用時はオープン処理)
23	VGL	LLC部ローサイドゲートドライブ出力
24	RC	共振電流検出信号入力, LLC部過電流保護(OCP)検出信号入力
25	—	抜きピン
26	VB	UVLO付きLLC部ハイサイドゲートドライブ電源入力
27	VS	LLC部ハイサイドドライバ・フローティンググラウンド
28	VGH	LLC部ハイサイドのゲートドライブ出力

MD6751に内蔵されている制御回路は、CPUと独立動作可能な16bit DSP (2units), さらに新たに追加されたEPU (16bit CISC CPU) の4コアで、並列動作ができるマルチコアアーキテクチャである。PFC制御とLLC制御をひとつのICで制御させるため、PFC用16bitカウンタPWM出力とLLC用16bitカウンタPWM出力を持っている。ブロックダイアグラムを図1に示す。

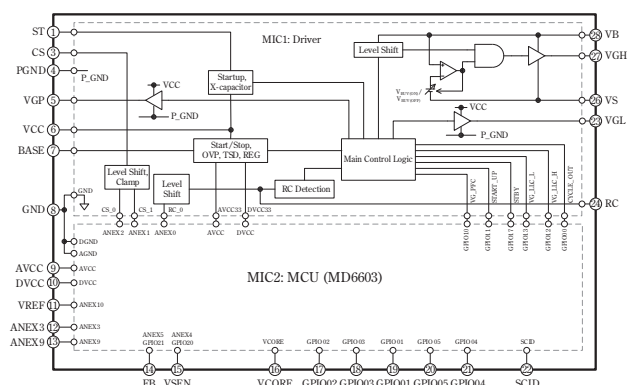


図1 MD6751 ブロックダイアグラム
Block diagram of MD6751

3. ブリッジレスPFCの基本動作

通常のPFCは、商用電源を全波整流した後の正弦波電圧を直接スイッチングしているが、数100Wから数kWとなる高出力電源では、全波整流Di部の損失 ($V_F \times I_{rms}$) が無視できない値となる。ブリッジレスPFCはこの全波整流Diの機能をPFC部に取り込むことで、整流損失を大幅に低減し、効率改善できる回路方式である。図2にブリッジレスPFCの基本回路を、図3にブリッジレスPFCの動作概略図を示す。

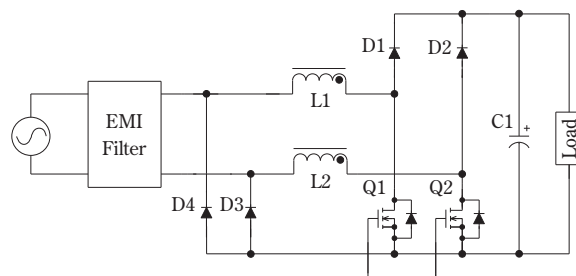


図2 ブリッジレスPFC基本回路
Basic circuit of Bridgeless PFC

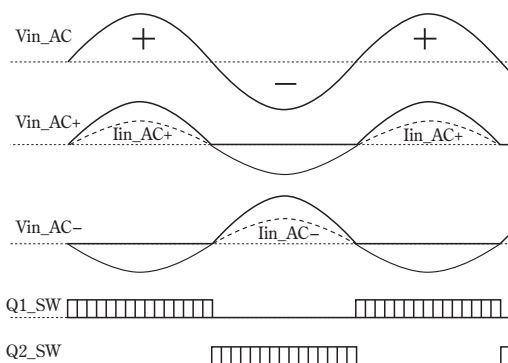


図3 ブリッジレスPFCの動作概略図
Operation waveform of Bridgeless PFC

交流電源 (50Hz/60Hz) は個々のタイミングではプラス電源とマイナス電源となる。例えば、プラス電源の期間

内にQ1をスイッチング動作させると、L1-Q1/ L1-D1-C1の経路が昇圧コンバータとなる。D1以降の電流ループは、電解コンデンサを充電した後、Q2内にある寄生DiやD3を通して交流入力側に戻ってゆく。

また、逆にマイナス電源の期間内は、Q2をスイッチング動作させ、L2-Q2/ L2-D2-C1の経路が昇圧コンバータとなる。

D2以降の電流ループはQ1内にある寄生DiやD4を通して交流入力側に戻る。このスイッチング動作の繰返しで、Di不要の高効率ブリッジレスPFCが実現する。

Q1, Q2は一般的には個別のGate Driverで駆動すべきだが、ブリッジレスPFCはQ1, Q2をGate Driver共通で動作させても、貫通電流が流れない安全な回路構成である。そのため、MD6751ではDriver部の共通化を行いQ1, Q2を同時に動かすことで制御ICの簡素化を図った。

ブリッジレスPFCの大きなメリットは効率改善であるが、EMIノイズが増えるといったデメリットもある。

ブリッジレスPFC回路は、図2にあるように交流電源を直接スイッチングするため、これらノイズが大きくなる傾向にある。スイッチング電源はEMI（伝導ノイズ、放射ノイズ）の法規制があり、EMIフィルタが必須となる。ノイズ低減のためインダクタやキャパシタを増やすとコストアップやフィルタ部品での損失増加に繋がる。MD6751ではブリッジレスPFC部の入出力条件を監視することで、CCM動作でありながら常に周波数が変化するため、周波数分散の効果が有り従来方式のPFC（例えばCRMインターリーブ）と同程度のEMIフィルタで対応が可能である。

4. 試作電源および評価結果

4.1 試作電源および電源仕様

表2に試作電源の仕様を、図4に評価電源回路構成を、写真4に評価電源基板の写真を示す。

表2 試作電源仕様
Specifications of Prototype power supply

Converter Topology	Bridgeless CCM PFC and Half-bridge LLC
Control	Full digital control (ADC ⇒ MCU / DSP ⇒ PWM)
Rating AC input	AC90V - AC264V
Rating PFC Output	Total 550W
Rating DC/DC Output	100W
Voltage of OUTPUT1	12V
Current of OUTPUT1	0A-7.6A
Protection	OVP, OCP, OLP

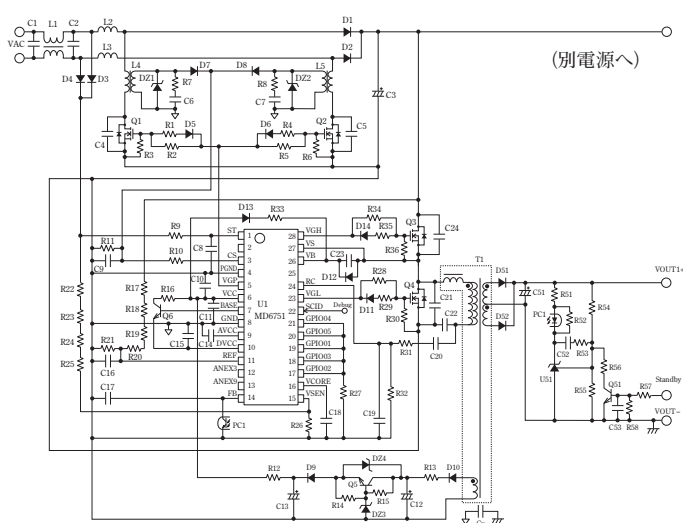


図4 評価電源回路構成
Evaluation circuit of MD6751

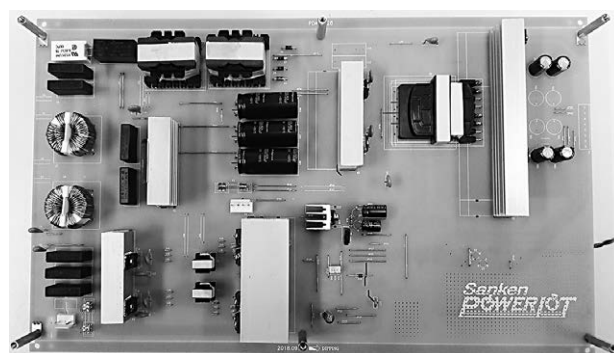


写真4 評価電源基板
Evaluation power board of MD6751

試作電源は、ブリッジレスPFC回路の後段にLLC回路を接続する2コンバータ構成となっている。スタンバイ負荷時は、効率を改善するためオートスタンバイ機能を搭載し、専用スタンバイコンバータの削減が可能である。PFC制御とLLC制御は、フルデジタル制御を行っているため、位相補正コンデンサが不要となり、部品点数の削減、信頼性向上、少量多品種展開が容易となる。

4.2 ブリッジレスPFC部

ブリッジレスPFC部は、独自のデジタル制御により、AC入力電圧や出力負荷条件、AC入力位相に対応し、パワーデバイスの発振周波数とON Dutyを常に最適に制御を行っている。このため、図8のPFC効率特性に示す通り、全負荷領域で高効率を達成した。また、PFCの動作波形を図5～図7に示す。負荷条件、位相に応じて発振周波数とON Dutyが変化していることが分かる。

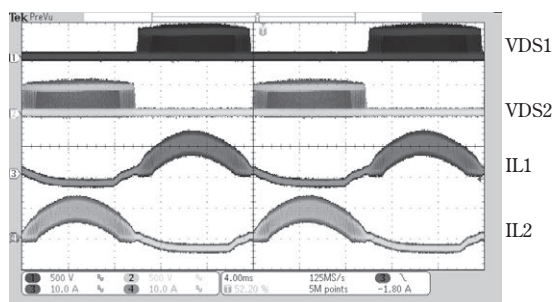


図5 ブリッジレスPFC動作波形(全体)
Bridgeless PFC operation waveform

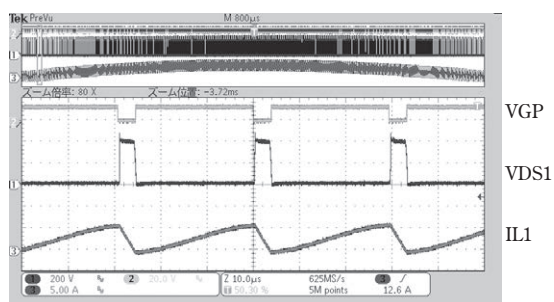


図6 ブリッジレスPFC動作波形 (AC Valley point)
Bridgeless PFC operation waveform (AC Valley point)

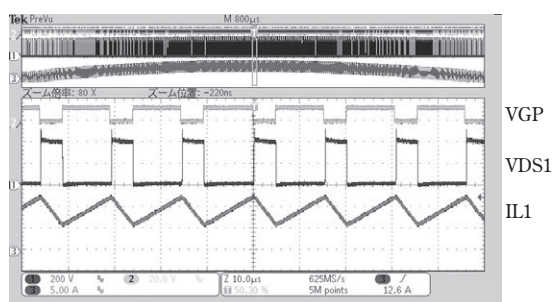


図7 ブリッジレスPFC動作波形 (AC Top point)
Bridgeless PFC operation waveform (AC Top point)

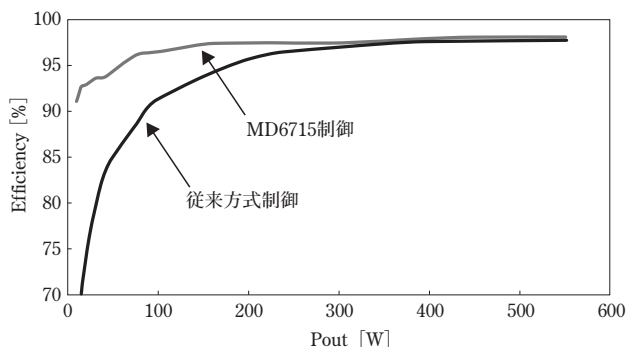


図8 ブリッジレスPFC効率特性
PFC efficiency characteristics

4.3 LLC部

LLC部のオートスタンバイ動作は、FB端子電圧を検出しスタンバイモードへ切り替えを行っている。2次側負荷電力が軽くなると、FB端子電圧が低下しスタンバイモードに自動で切り替わる。スタンバイモードでは、入力電圧AC230V時、Pin = 250mW (Pout = 140mW)を達成した。

図9にスタンバイ時の動作波形を示す。

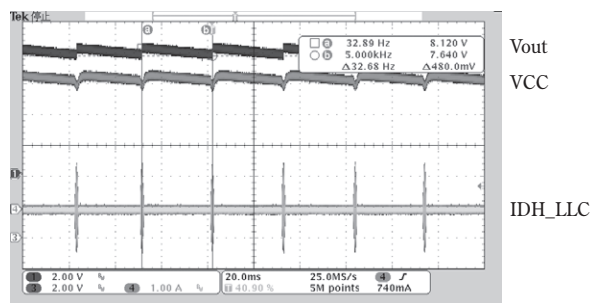


図9 スタンバイ動作波形
Standby operation waveform

5. むすび

ブリッジレスPFCは一般的に高効率を得られるが制御が難しくEMIが大きい問題があった。本稿で示されたMD6751によるデジタル制御技術を用いることで、従来アナログICでは達成できない効率改善と相反するEMI低減を同時に達成した。また、デジタル制御型のスイッチング電源は待機電力が大きくなりやすいが、独自の高耐圧BCDプロセスICと制御技術を組み合わせることで従来同等以上の待機電力を示すことができた。

我々は、「Power Electronics for Your Innovation」をスローガンに掲げてスイッチング電源のデジタル化を進めることで、お客様のイノベーションのために、社員1人ひとりのイノベーションのために、そして社会のイノベーションのために、これからもエコ・省エネに貢献する製品を供給していく所存である。

参考文献

- (1) 小池, 大竹, 鈴木, 古賀: サンケン技報, vol.49, p.9-12, (2017.11)
- (2) 美馬: サンケン技報, vol.48, p.9-12, (2016.12)
- (3) 中野: サンケン技報, vol.47, p.9-12, (2015.11)