

SiC-MOSFETの開発

Development of SiC-MOSFET

熊倉 弘道*
Hiromichi Kumakura

馬場 良平*
Ryohei Baba

概要 当社は、昨今のエコ・省エネの要求の高まりから、従来のSiデバイスでは実現が難しいソリューションを可能にするために、材料物性に優れた化合物半導体材料SiC、GaNを用いたパワーデバイスの開発を進めている。SiCデバイスのアプリケーションは、耐圧領域600V以上の民生/産業/車載用途の電源やインバータなどが見込まれており、SiC SBDはすでに普及段階に移行し、当社も製品化⁽¹⁾を行っている。一方で、スイッチング素子はこれから本格普及が始まろうとしており、我々はトレンチ型SiC-MOSFETを開発したので素子特性および信頼性について報告する。今後の開発世代における技術改善と性能向上の見通しについても紹介する。

1. まえがき

地球温暖化対策としてCO₂排出規制が年々厳しくなり、エコ・省エネが強く要求されている。パワーエレクトロニクスを牽引してきたSiパワーデバイスは性能限界に達しつつあり、より材料物性に優れたシリコンカーバイド(SiC)やガリウムナイトライド(GaN)といった化合物半導体デバイスが注目されている。

表1 SiC材料性能指標
SiC performance indices

Property		Si	SiC
Band gap	eV	1.1	3.3
Electron mobility	cm ² /Vs	1350	700
Break down field	MV/cm	0.3	3.0
Thermal conductivity	W/cmK	1.5	4.9
FOM	εμeEc ³	1	440

SiCはSiに比べて、絶縁破壊電界強度および熱伝導度が高いという特徴を有し、大電流・高耐圧の用途に適している。数十kV以上の耐圧領域ではバイポーラ型、数kV以下では、低抵抗かつ高速スイッチング動作が可能なユニポーラ型SiCデバイスが用いられる。また禁制帯幅が広いこと高温動作が可能であり、アプリケーションの放熱構造設計を考慮すると、機器の小型化に貢献できる。

*デバイス事業本部 技術本部 プロセス技術統括部
化合物デバイス開発部SiC開発課

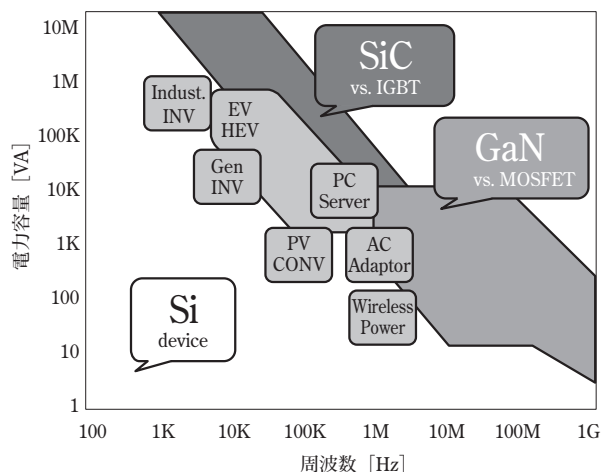


図1 ターゲット領域
Target map

当社は、電気自動車(EV)やハイブリッド電気自動車(HEV)のモーター用メインインバータ用途を想定し、1200V/100A級のSiC-MOSFETチップ開発に取り組んでいる。

本稿では、設計したチップ構造とその素子特性について紹介する。

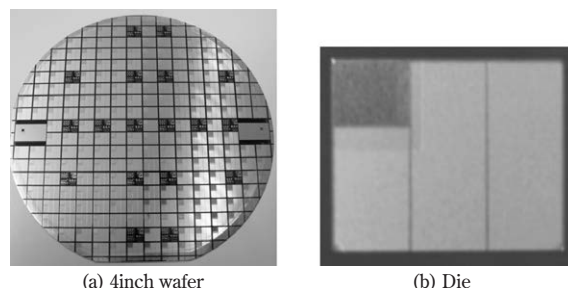


図2 SiC-MOSFET写真
Picture of SiC-MOSFET

2. 3.5mΩ・cm² SiC-MOSFETの開発

2.1 セル構造

2.1.1 トレンチゲート技術

2.1.1.1 トレンチ部電界緩和技術

当社のSiC-MOSFETは、微細化による面積オン抵抗低減の観点から、トレンチゲート構造を採用している。

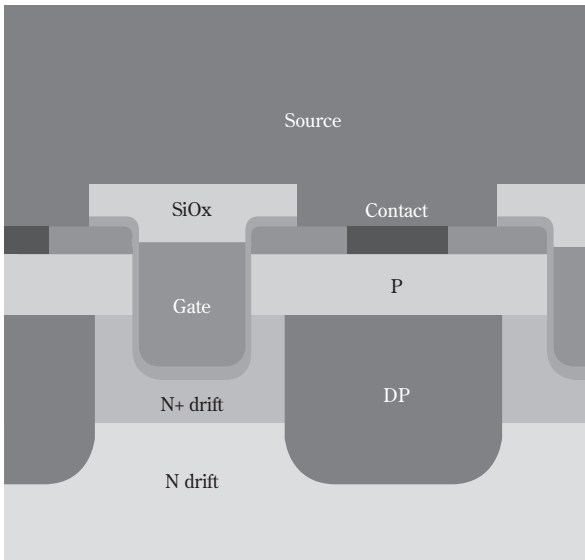


図3 セル構造
Cell structure

ゲート電極部をトレンチエッチングし、埋め込み型ゲート電極構造とした。トレンチゲート端部のゲート酸化膜にかかる電界緩和のために高エネルギー注入によるDeep P領域(DP)を設けた。さらにトレンチ底部はラウンディング加工を施すことで、電界集中を抑制しゲート酸化膜の絶縁破壊から保護している。デバイス動作OFF時にゲート酸化膜中の電界強度が一定の設定値を超えないように、ゲート酸化膜厚を決定した。

2.1.1.2 帰還容量低減技術

トレンチゲート型MOSFETはゲート、ドレイン、ソース端子間で図4に示すような静電容量を有する。入力容量 C_{iss} 、出力容量 C_{oss} 、帰還容量 C_{rss} は次式で表わされる。

$$\text{入力容量} : C_{iss} = C_{gd} + C_{gs} \quad \dots\dots\dots (1)$$

$$\text{出力容量} : C_{oss} = C_{ds} + C_{gd} \quad \dots\dots\dots (2)$$

$$\text{帰還容量} : C_{rss} = C_{gd} \quad \dots\dots\dots (3)$$

ここで帰還容量 C_{rss} (C_{gd})はゲートチャージ電荷量 Q_{gd} に関連し、パワーデバイスの電力損失に関する重要な性能指数である $R_{on} \cdot Q_{gd}$ 積に密接に関係する。

また大きな帰還容量 C_{rss} (C_{gd})は、誤点弧に関する懸念

を生じさせる。スイッチング時のゲート電圧のリングングノイズは、入力容量 C_{iss} に対する帰還容量 C_{rss} の割合による影響が大きい。

したがって、電力損失および安定動作の観点から、帰還容量 C_{rss} の小さい素子が望まれている。

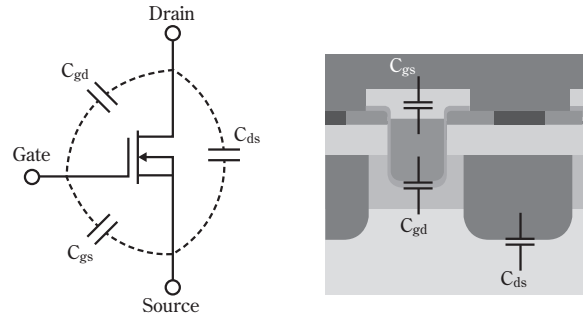


図4 トレンチ型SiC-MOSFET容量等価回路
Trench type SiC-MOSFET capacitance equivalent circuit

当社は、トレンチ側部(チャンネル上)のゲート酸化膜に対して、トレンチ底部のゲート酸化膜を厚くすることで、56%の帰還容量低減を行った。

2.1.2 低オン抵抗化技術

当社の開発世代におけるオン抵抗のトレンドを図6に示す。Gen.1はプレーナ型MOSFETであり、Gen.2トレンチ型にすることで狭セルピッチによる面積効率向上を実現した。ドリフト抵抗を低減するために高濃度変調層(N+ドリフト層)をNドリフト層上部に配置した。短チャンネル効果によるスレッシユホールド電圧(V_{th})が顕著に変動しないチャンネル長と最適なP層濃度条件をシミュレーションから導出し採用した。これらの技術により、面積オン抵抗3.5mΩ・cm²を実現した。

SiC-MOSFETはゲート酸化膜の界面制御が多くの研究開発機関で課題となっている。SiC原材料であるカーボン起因の不純物単位および固定電荷が生じることで、チャンネル移動が阻害され、チャンネル抵抗の上昇を招くことが広く知られている。当社はゲート酸化膜アニール(Post Oxidation Annealing)条件を最適化することで引き続きチャンネル抵抗低減を目指す。

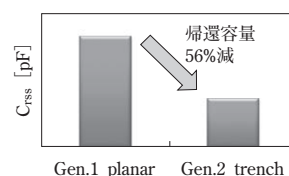


図5 C_{rss}低減
Reduction of C_{rss}

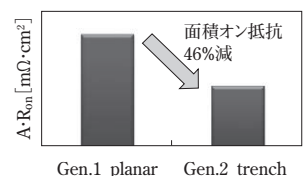


図6 面積オン抵抗低減
Reduction of A·R_{on}

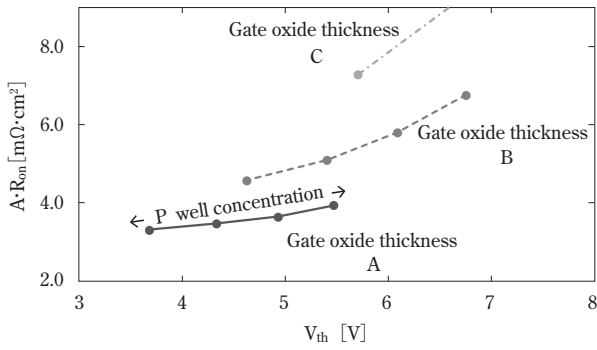


図7 ゲート酸化膜厚とP層濃度最適化
Optimization of gate oxide thickness and P well concentration

2.2 素子終端構造

素子耐圧設計は、活性領域外周部の主接合でアバランシェ降伏させるコンセプトとした。SiC基板は結晶欠陥がSiに比べて多く内在するため、広い面積のセル部より狭い面積の主接合部でアバランシェ降伏現象を生じさせる方が、結晶欠陥の影響を低減できる。

素子終端構造は、FLR構造 (Field Limiting Ring) を採用した。セル内部のP注入と同時に作製することで注入コストを削減した。SIMを用いてリング間隔の最適化を行った。FLR界面の外乱要因による固定電荷変動を想定し、リング本数に余裕を持たせて設計した。



図8 空乏層シミュレーション結果
Simulation result of depletion layer

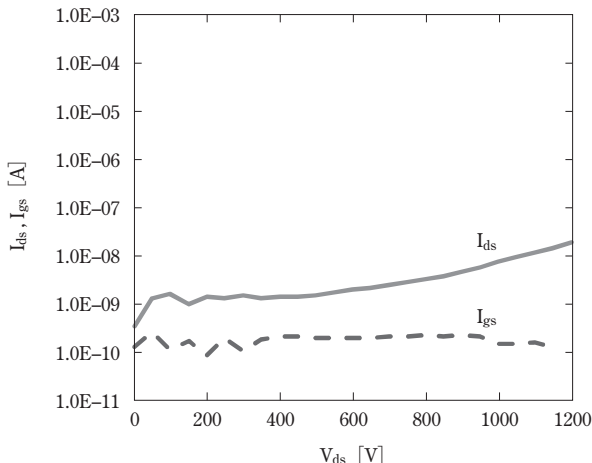


図9 SiC-MOSFET Off特性
Off characteristics of SiC-MOSFET

3. 信頼性

MOSFETデバイスにおいて、ゲート酸化膜の信頼性は非常に重要である。寿命評価試験の方法としては、例えば、瞬時絶縁破壊 (Time Zero Dielectric Breakdown: TZDB) や経時絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB) が一般的に知られている。TZDBでは、ゲート酸化膜に印加する電圧を段階的に高めていき、絶縁破壊が生じる電圧を計測する。経時絶縁破壊試験では、ゲート酸化膜に一定の電圧を印加し、故障率を計測する。

Gen.2トレンチ型のゲート酸化膜信頼性について現在検討を進めている。TZDBの結果を図10に示す。酸化膜厚と破壊電圧から、最大電界強度 $E_{max} = 10\text{MV/cm}$ と算出した。Gen.1プレーナ型のTDDB結果から、 7.9MV/cm 以下の電界強度であれば、 175°C 環境下において10年保証できると見積もった。Gen.2トレンチ型のTDDBは検討中である。

長期実働試験としてゲートバイアステストを実施中

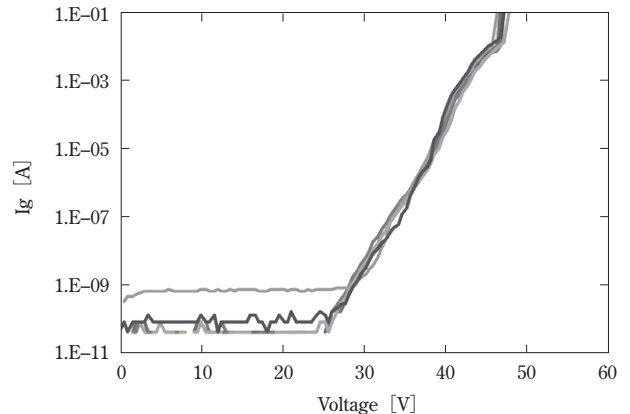


図10 ゲート酸化膜 TZDB 結果
TZDB results of gate oxide film

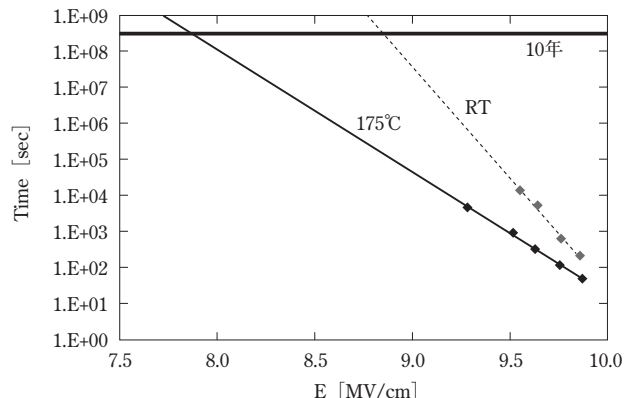


図11 ゲート酸化膜 TDDB 結果
TDDB results of gate oxide film

ある。図12にGen.2トレンチ型デバイスの負バイアステストの V_{th} と R_{on} の変動率をそれぞれ示す。1000時間の監視において、大きな変動は見られない。

他の信頼性試験項目に関しても今後検討する。

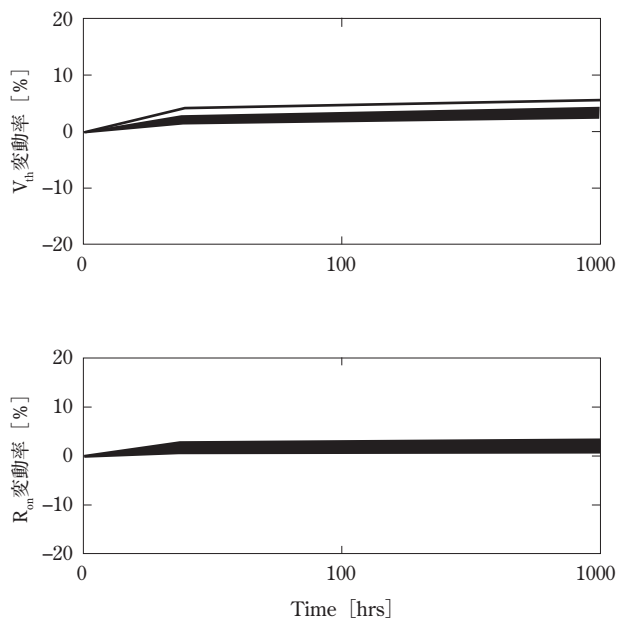


図12 ゲート負バイアステスト結果
Gate negative bias test results

4. 今後の技術開発

当社はGen.1プレーナ型, Gen.2トレンチ型と開発を進めてきた。今後は薄厚化, さらなる狭ピッチ化を進め, 第3世代トレンチ型SiC-MOSFETで面積オン抵抗 $2.5\text{m}\Omega \cdot \text{cm}^2$ を目指す。第4世代ではSuper-Junction技術を適用する。

デバイス応用の観点からゲートドライブ技術との融合がトレンドになると思われる。SiC-MOSFETの内蔵Diはビルトインポテンシャルが高く, 電圧降下は3Vを超えるため, 逆導通損失が大きくなる。同期整流を積極的に活用して逆導通損失を低減するように, デッドタイムを制御する回路技術開発が活発になっている。制御を的確に行うための電流センス内蔵MOSFETチップの開発も視野に入れ, 市場技術動向を見極めつつ今後の開発を進めていく。

5. むすび

1200V/100A級のトレンチ型SiC-MOSFETの開発を行い, $3.5\text{m}\Omega \cdot \text{cm}^2$ の面積オン抵抗を達成した。信頼性評価を進め, 当社製品開発へ順次展開していく。

応用回路技術動向を注視し, ゲートドライブ技術で差別化を図り, タイムリーな製品リリースにつなげる。

参考文献

- (1) 鶴岡, 熊倉: サンケン技報, vol.49, p.21-24, (2017.11)