

# 低電圧大電流POLコンバータの過渡応答特性改善のための 近似的2自由度制御アルゴリズムの応用

## Application of the Approximate 2-Degree-of-Freedom Algorithm for Improving Transient Response of Low-Voltage, High-Current POL Converters.

下川 宗一郎\*  
Soichiro Shimokawa

樋口 幸治\*\*  
Kohji Higuchi

中村 勝\*  
Masaru Nakamura

概要 サーバや情報通信機器などに用いられているFPGA等のLSIは、半導体プロセスの微細化に伴い高速化及び高集積化が進む一方で、低電圧大電流化が進んでいる。これらのLSIに電源を供給するDC-DCコンバータに求められる電源仕様は厳しくなっており、従来から広く使用されてきたPID制御では、高度化する電源要求に対応するのが難しくなっている。今回、筆者らは、デジタル制御方式特有の制御方法である2自由度制御方式を用いることで、負荷急変特性とスタートアップ特性の両方の特性を良好に保つ設計を実現した。本報告では、高性能な電源特性を得るためのデジタル制御電源コントローラの設計方法について紹介する。

### 1. まえがき

情報通信技術 (ICT) はさまざまな分野のビジネスやサービスに活用され、今後、ますます広がっていくことが予想される。これら通信ネットワークを支える通信機器には、通信情報を処理するためにFPGA等のLSIが使用され、その電源として低電圧大電流を供給できるDC-DCコンバータが使用されている。このようなDC-DCコンバータに求められる過渡特性として、負荷電流の急峻な変化に対して出力電圧の変動を抑え一定に保つ負荷急変応答特性と、電源投入後に出力電圧が目標値電圧までオーバーシュートすることなく滑らかに、かつ、迅速に立ち上がるスタートアップ特性が求められる<sup>(1)(2)(3)(4)(5)</sup>。特に、FPGAのコア電圧などは低電圧化が進んでおり、1V程度の電源電圧に対し、 $\pm 30mV$ 程度の電圧変化であっても処理のエラーを引き起こすと言われており、高速な負荷急変応答性能が重要視されている。その一方で、状態監視や設定変更などを行うための通信機能や、複雑な保護のシーケンス等、多くの機能も求められている。このような多機能で複雑な要求にアナログ制御コントローラで対応するのは難しくなっており、マイコンやDSPなどのデジタル制御コントローラを使用した電源制御方式が注目されている。また、アナログ制御方式で広く用いられているPID制御では、高速な負荷急変応答特性とオーバーシュートのないスタートアップ特性の

両方を同時に実現することは困難であり、このような要求を実現するためにも、2自由度制御などのデジタル制御方式を活用した制御方法が検討されている。しかしながら、一般的な2自由度制御系は構造が複雑であり、DSPなどで処理する演算量が多く、演算時間が長くなるため、高速応答性能が求められるような高周波駆動のDC-DCコンバータへの適用は難しい。この問題に対し、高速なスイッチング電源に2自由度制御系を実現する方法として、近似アルゴリズムを使用することでシンプルな構成で2自由度制御と同等の特性が得られる近似的2自由度制御 (Approximate 2-Degree-of-Freedom: A2DoF) が提案されている<sup>(1)(2)(3)</sup>。今回、高速応答性能を実現するためのデジタルコントローラの制御方法として近似的2自由度制御を適用し、負荷急変応答特性とスタートアップ特性の両方で良好な応答特性が得られるデジタル制御系の構築を検討する。また、デジタル制御方式では、原理的に遅延要素が含まれるため、高速な応答性能を実現するのが難しいという問題がある。そこで今回、近似的2自由度制御の演算アルゴリズムを実際のDSPに実装する際にデジタル制御方式の演算遅延を最小限に抑えるDSP演算アルゴリズムの工夫も同時に行う。

図1に今回筆者らが検討した近似的2自由度制御系によるDC-DCコンバータの設計フローを示す。本報告では、図1の内容に沿って、筆者らが今回行ったスタートアップ特性と負荷急変特性の両方で良好な特性が得られるデジタルコントローラの設計方法を紹介し、設計したデジタルコントローラを使用した電源特性を実験により

\* デバイス事業本部 技術本部 応用技術部 電源システム開発課

\*\* UEC ASEAN 教育研究支援センター

示す。対象とするDC-DCコンバータの仕様、負荷急変応答特性及びスタートアップ特性の目標特性は、

- 入力電圧12V, 出力電圧1V, 出力容量6000 $\mu$ F
- スタートアップ時の出力電圧の立ち上がり時間は300 $\mu$ s以内とし、オーバーシュートのないこと
- 負荷急変時の出力電圧の変動は、負荷電流50Aの変化に対して30mV以下、負荷電流のスルーレートは10A/ $\mu$ s以上とする。

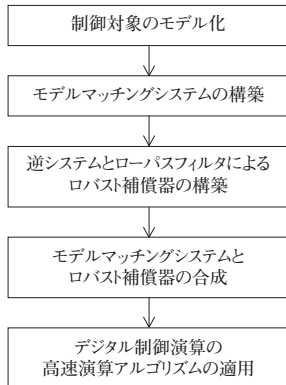


図1 近似的2自由度制御系の設計フロー

## 2. DC-DC CONVERTER

図2に検討したDC-DCコンバータの構成を示す。4相インターリーブ構成であり、各PWM信号スイッチング周波数は500kHzとし、各位相は90度シフトして駆動する。デジタル制御演算のサンプリング周波数は、1MHzとし、1スイッチング周期中に2回行う。デジタル制御コントローラには、サンケン電気製Mixed Signal MCUであるMD6603を使用する。MD6603の内部ブロックダイアグラムを図3に示す。使用するADコンバータの分解能は12bit、DPWMタイマの分解能は1.04nsである。コアには、8bitの8052CPUが1つ、16bit固定小数点型の

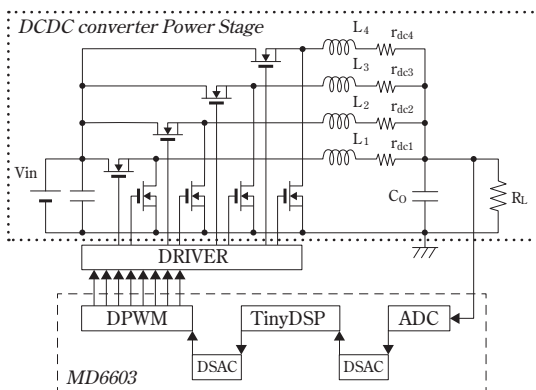


図2 DC-DCコンバータ

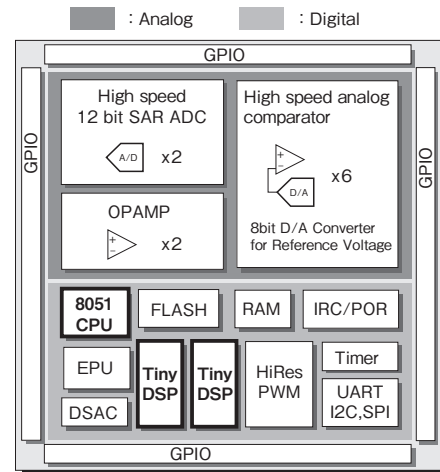


図3 MD6603のブロック図

DSPが2つ用意されており、並列処理が可能なマルチコア構成になっている。今回は、このうちのDSPコアの1つに近似的2自由度制御系の演算プログラムを実装する。

図2のDC-DCコンバータの状態方程式及び出力方程式を、状態平均化法により線形近似式で表した結果を式(1)に示す。

$$\begin{cases} \dot{x}(t) = A_c x(t) + B_c u(t) \\ y(t) = C_c x(t) \end{cases} \dots\dots\dots (1)$$

ただし、

$$x(t) = \begin{bmatrix} v_c(t) \\ i_l(t) \end{bmatrix}, u(t) = D(t), y(t) = v_{out}(t)$$

$$A_c = \begin{bmatrix} \frac{-1}{L} & \frac{1}{C_o} \\ \frac{-1}{L} & \frac{-r_{dc}}{L} \end{bmatrix}, B_c = \begin{bmatrix} 0 \\ \frac{V_{in}}{L} \end{bmatrix}, C_c = \begin{bmatrix} 1 & 0 \end{bmatrix}$$

ここで、 $L$ 及び $r_{dc}$ は4相回路を1相回路として考えた場合の $L_1, L_2, L_3$ 及び $L_4$ の並列インダクタンス及び $r_{dc1}, r_{dc2}, r_{dc3}$ 及び $r_{dc4}$ の並列抵抗であり、各々0.0375 $\mu$ H及び0.5m $\Omega$ とする。また、 $r_{dc}$ には、コイル抵抗だけでなくFETのオン抵抗等も含めた値とする。 $C_o$ は出力容量であり6000 $\mu$ Fとする。 $R_L$ 及び $D(t)$ は負荷抵抗及び時比率を表す。

デジタル制御系では、サンプリング開始から操作量出力までの間に遅れ時間が存在する。サンプリング周期を $T_s$ 、遅れ時間を $L_d$ とし、この遅れ時間は制御対象に存在する入力むだ時間と等価であると考えられる。更に、状態変数の1つである $i_l$ 電流のフィードバックを電圧フィードバックとして扱うために1周期遅れ要素を結合した状態方程式を新たな制御対象モデルとし、式(2)で表す。式(2)のブロック線図を図4に示す。

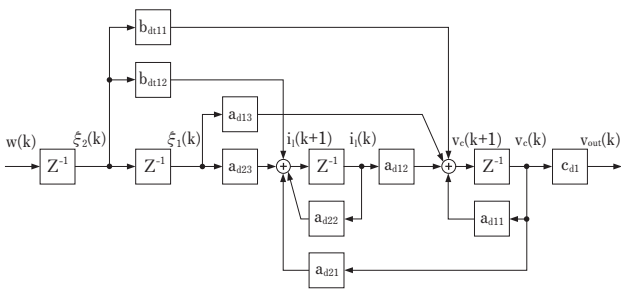


図4 むだ時間と1サンプル遅延を考慮した制御対象ブロック

$$\begin{cases} x_{dw}(k+1) = A_{dw}x_{dw}(k) + B_{dw}w(k) \\ y(k) = C_{dw}x_{dw}(k) \end{cases} \dots\dots\dots (2)$$

ただし,

$$x_{dw}(k) = \begin{bmatrix} x_d(k) \\ \xi_2(k) \end{bmatrix}, \quad x_d(k) = \begin{bmatrix} x(k) \\ \xi_1(k) \end{bmatrix}, \quad \xi_2(k) = w(k+1)$$

$$\xi_1(k) = \xi_2(k+1), \quad A_{dw} = \begin{bmatrix} A_d & B_d \\ 0 & 0 \end{bmatrix}, \quad B_{dw} = \begin{bmatrix} 0 \\ 1 \end{bmatrix}$$

$$A_d = \begin{bmatrix} e^{AcT} & e^{Ac(T-L_d)} \int_0^{L_d} e^{Ac\tau} B_c d\tau \\ 0 & 0 \end{bmatrix}$$

$$B_d = \begin{bmatrix} \int_0^{T-L_d} e^{Ac\tau} B_c d\tau \\ 1 \end{bmatrix}, \quad C_{dw} = \begin{bmatrix} C_d & 0 \end{bmatrix}, \quad C_d = \begin{bmatrix} 1 & 0 \end{bmatrix}$$

### 3. 近似的2自由度制御系の設計

#### 3.1 モデルマッチングシステムの構築

式(2)に状態フィードバック則

$$v(z) = w(k) + Fx_{dw}(k) \dots\dots\dots (3)$$

を適用し、状態フィードバック後の伝達関数  $W_{wy}(z)$  が式(4)に示す任意の極配置  $H_1, H_2, H_3, H_4$  を持つようにフィードバックゲイン  $F = [-f_1, -f_2, -f_3, -f_4]$  を決定する。

$$W_{wy}(z) = k_{co} \frac{(z-n_1)(z-n_2)}{(z-H_1)(z-H_2)(z-H_3)(z-H_4)} \dots\dots\dots (4)$$

ここで、 $k_{co}$ 、 $n_1$ 及び $n_2$ は、状態フィードバック前の伝達関数の直流ゲイン及び零点とする。

近似的2自由度制御では、式(4)において、極配置を応答性に支配的な極 ( $H_1$ ) と影響しない極 ( $H_2$  及び  $H_3$ ) に設定することで、目標値から出力までの応答特性を近似的に  $H_1$  のみの一次の特性として表す。ここで、定常状態での入出力間のゲインを1倍にするためのフィードフォ

ワードゲイン  $G$  を入力段に加えることで、制御対象の入出力間でフィードフォワード構成の目標値応答特性を構築する。 $G$  は最終値の定理より、式(5)とする。

$$G = \frac{1}{k_{co}} \frac{(1-H_1)(1-H_2)(1-H_3)}{(1-n_1)(1-n_2)} \dots\dots\dots (5)$$

また今回、電流フィードバックなしのシステムを構築するために制御対象モデルに1サンプル遅延を追加したため、状態フィードバック後の伝達関数に第4の極  $H_4$  が存在する。そこで、この極の影響を打ち消す要素  $(z-H_4)$  を更に追加する。最終的なモデルマッチングシステム構築後の目標  $r$  から出力  $y$  までの伝達関数及び構成図を式(6)及び図5に示す。

$$W_{ry}(z) = \frac{(1-H_1)}{(z-H_1)} \cdot \frac{(1-H_2)(1-H_3)(z-n_1)(z-n_2)}{(z-H_2)(z-H_3)(1-n_1)(1-n_2)} \quad (6)$$

$$= W_m(z) \cdot W_s(z) \dots\dots\dots (7)$$

$$\approx W_m(z) \dots\dots\dots (8)$$

ただし,

$$W_m(z) = \frac{1-H_1}{z-H_1}, \quad W_s(z) = \frac{(1-H_2)(1-H_3)(z-n_1)(z-n_2)}{(z-H_2)(z-H_3)(1-n_1)(1-n_2)}$$

近似的2自由度制御では、モデルマッチングシステム後の伝達関数を  $W_m(z)$  の一次モデルと近似して扱う。

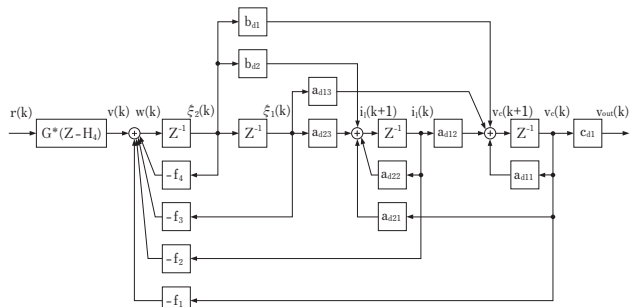


図5 モデルマッチングシステムの構成図

#### 3.2 逆システムとフィルタを用いたロバスト補償器の構築

モデルマッチングシステムにより構築した目標値応答特性はフィードフォワード構成であり、外乱の影響がそのまま出力の誤差となる。この外乱による影響を抑制するため、逆システム  $W_m^{-1}(z)$  とローパスフィルタ  $K(z)$  を接続したロバスト補償器の構成を図6に示す。ここで、 $W_m^{-1}(z)$  は近似逆システムとし、式(9)とする。また、 $K(z)$  は逆システムに含まれる微分要素の影響を低減させるためのフィルタより、式(10)に示す一次のローパスフィルタとする。

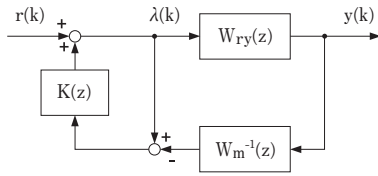


図6 逆システムとフィルタを用いたロバスト補償器の構成図

$$W_m^{-1}(z) = \frac{z-H_1}{1-H_1} \dots\dots\dots (9)$$

$$K(z) = \frac{K_z}{z-1+K_z} \dots\dots\dots (10)$$

図5のモデルマッチングシステムと図6のロバスト補償器を合成した近似的2自由度制御系を図7に示す。図7の点線枠で示す箇所が近似的2自由度制御のコントラブロックとなる。ただし、各パラメータは以下のようになる、

$$k_1 = -\frac{k_z}{1-H_1} G(-f_4 + f_2 \frac{b_{11}}{a_{12}} - H_4) - f_1 + f_2 \frac{b_{11}}{a_{12}} + \left(\frac{-f_2}{a_{12}}\right) \left(-f_4 + f_2 \frac{b_{11}}{a_{12}}\right)$$

$$k_2 = \frac{-f_2}{a_{12}} - \frac{k_z}{(1-H_1)} G$$

$$k_3 = -f_3 + f_2 \frac{a_{13}}{a_{12}}$$

$$k_4 = -f_4 + f_2 \frac{b_{11}}{a_{12}}$$

$$k_{i1} = kzG \left(-f_4 + f_2 \frac{b_{11}}{a_{12}} - H_4\right)$$

$$k_{i2} = kzG$$

$$k_{r1} = G \left(-f_4 + f_2 \frac{b_{11}}{a_{12}} - H_4\right)$$

$$k_{r2} = G$$

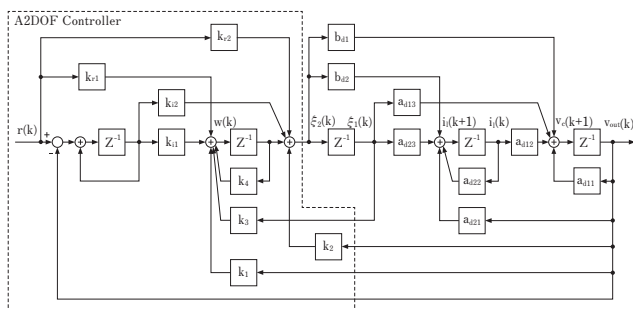


図7 近似的2自由度制御系のブロック線図

#### 4. デジタル制御の高速応答性能のためのDSP演算アルゴリズム最適化

デジタル制御で高速な負荷応答性能を実現するために、DSPで行う演算処理のアルゴリズムを最適化する。DSPで行う近似的2自由度制御の演算箇所を図8に示す。出力電圧のフィードバック値  $V_{out}(k)$  の入力値から、 $\alpha(k)$ 、 $\beta(k)$  及び操作量である  $\gamma(k)$  ( $= Duty(k)$ ) を求め、後段のDPWMタイマへ出力する。 $\alpha(k)$ 、 $\beta(k)$  及び  $\gamma(k)$  を求める演算アルゴリズムを式(11)、式(12)及び式(13)に示す。

$$\alpha(k) = r - V_{out}(k) + \alpha(k-1) \dots\dots\dots (11)$$

$$\beta(k) = k_{r1}r + k_{i1}\alpha(k-1) + k_1V_{out}(k) + k_3\gamma(k-1) + k_4\beta(k-1) \dots\dots\dots (12)$$

$$\gamma(k) = \beta(k-1) + k_{r2}r + k_{i2}\alpha(k-1) + k_2v_{out}(k) \quad (13)$$

ただし、目標値  $r(k)$  は負荷急変時には不変であるとし、定数  $r$  とする。式(11)、式(12)及び式(13)の全ての演算をサンプリング周期内に行う必要があるが、ブロック図の順序で、 $\alpha(k)$ 、 $\beta(k)$  及び  $\gamma(k)$  と順番に演算した場合、ADコンバータで最新の  $V_{out}(k)$  をサンプリングしてから最新の  $Duty(k)$  の演算結果を得るまでのDSP演算処理によるむだ時間が長くなり、負荷応答性能を劣化させる。

今回対象としているDC-DCコンバータは、非常に高速な応答性能が求められるため、このむだ時間を最小にするための演算アルゴリズムを検討する。式(13)より、最新の  $Duty(k)$  結果を得るために必要な定数以外のパラメータ情報は、最新の  $V_{out}(k)$ 、前回の  $\alpha(k-1)$ 、及び  $\beta(k-1)$  であるため、式(11)及び式(12)を先に行う必要はない。また、式(13)において、事前の演算処理が可能な演算箇所を  $\delta(k)$  とし、式(14)に示す。

$$\delta(k) = \beta(k-1) + k_{r2}r + k_{i2}\alpha(k-1) \dots\dots\dots (14)$$

式(14)の結果を事前得ることで、最新の  $V_{out}(k)$  が

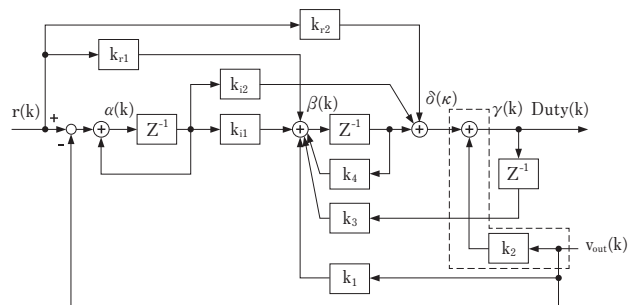
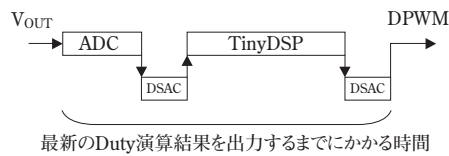


図8 近似的2自由度制御のDSP演算ブロック



入力されてから最新の *Duty* (*k*) の演算結果を得るまでに必要な演算処理を1回の積和命令だけとし、最小のむだ時間で演算処理を行う。MD6603のTinyDSPを使用し、DSP演算アルゴリズムの最適化を行ったときの演算時間の短縮効果について図9に示す。ADCサンプリング開始時からDSP演算結果を得るまでの時間が783nsから350nsまで短縮することができた。この時間を最短にすることで、デジタル制御特有のむだ時間の影響による高速応答性能の劣化をおさえることができる。



	ADC 変換時間	データ 転送時間	TinyDSP 演算時間	合計 時間
通常的时间	250ns	33.3ns	500ns	783.3ns
演算アルゴリズム 最適化適用後	250ns	33.3ns	66.7ns	350ns

図9 演算アルゴリズム最適化による演算時間短縮化の効果

## 5. 実験結果

図10に実験で使用した評価基板の外観写真と仕様を示す。入力電圧12V、出力電圧1Vとし、パワーステージ部は、Driver-MOS (60A定格×4並列)、コイル (40A定格×4並列) 及び出力容量 (6000  $\mu$ F) で構成されており、パワーステージ部を弊社製MD6603マイコンで駆動する構成としている。この実験基板を用いて、負荷急変特性とスタートアップ特性の確認を行った。

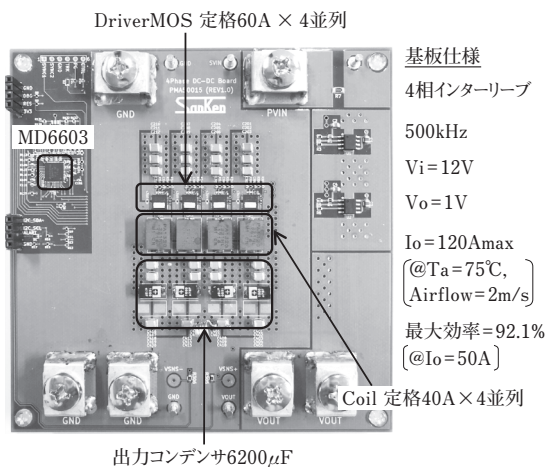


図10 評価基板写真と仕様

### 5.1 負荷急変特性

出力負荷電流を50Aから100Aに急変した際の負荷応

答波形を図11に、出力負荷電流を100Aから50Aに急変した際の負荷応答波形を図12に示す。出力電圧変動の落ち込みと跳ね上がりの両方が設計目標の30mV以内を満たしていることを確認した。

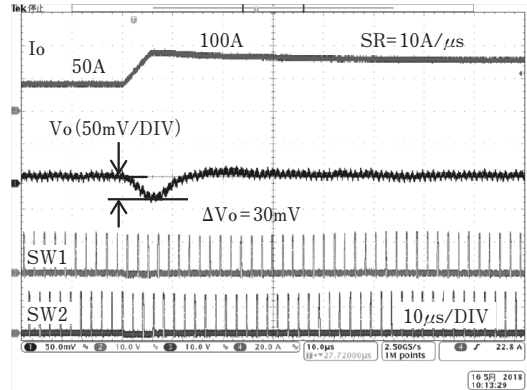


図11 負荷応答波形 (Io: 50 to 100A)

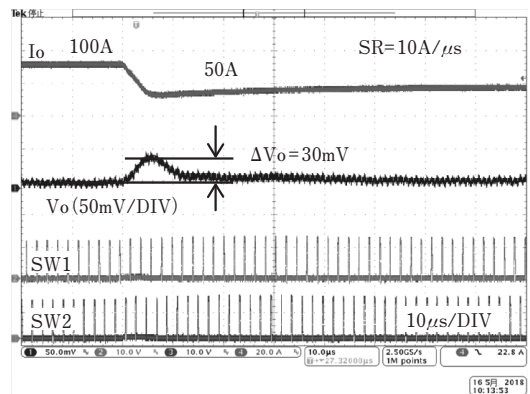


図12 負荷応答波形 (Io: 100 to 50A)

### 5.2 スタートアップ特性

スタートアップ時の出力電圧の立ち上がり波形を図13に示す。立ち上がり時間はおよそ200  $\mu$ sと高速であるにも関わらず、オーバーシュートのない滑らかな立ち上がりになっており、設計目標を満足していることを確認した。

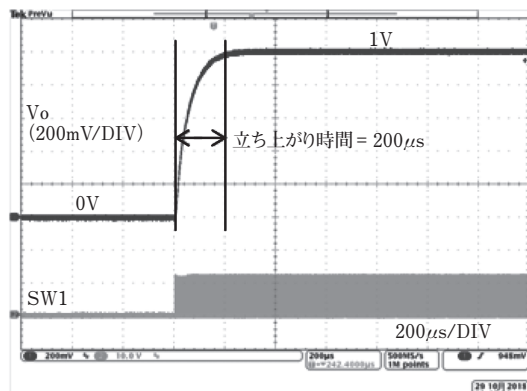


図13 スタートアップ時の波形

## 6. まとめ

本報告では、FPGA等に代表される低電圧大電流用途に使用されるDC-DCコンバータに求められる電源性能をデジタル制御方式のコントローラを用いて実現するための設計方法について紹介した。制御方式に近似的2自由度制御を適用し、かつ、DSPでのデジタル制御演算アルゴリズムを最適化することでオーバーシュートのない高速なスタートアップ特性と高速な負荷急変応答特性を同時に実現できることを確認した。

## 参考文献

- (1) 竹上栄治, “DSPを用いたDC-DCコンバータのロバスト制御に関する研究”, 電気通信大学大学院電気通信学研究科博士論文, 2008
- (2) 萩原憲人, “MDマイコンによるDC-DC降圧コンバータのロバストデジタル制御”, 電気通信大学知能機械工学専攻修士論文, 2017
- (3) 新田史弥, “MDマイコンによる電圧フィードバックのみによるDC-DC降圧コンバータのデジタル制御”, 電気通信大学知能機械工学専攻学士論文, 2016
- (4) 力石康弘, “大電流DC/DCコンバータモジュールBR220の開発” サンケン技報, 2017.11, vol.49, p.39 ~ 42
- (5) 白田武史, 松尾芳樹, 高柳毅, 増谷康弘, “デジタル制御型DC-DCコンバータにおける切換予測型PWM制御による過渡応答特性改善”, (社)電気情報通信学会, 2009

※ 本稿は下記より転載しました。

下川宗一郎, 樋口幸治, 中村勝,

一般社団法人電子情報通信学会 信学技報

THE INSTITUTE OF ELECTRONICS, INFORMATION  
AND COMMUNICATION ENGINEERS, IEICE Technical  
Report, EE2018-32, CPM2018-60, OME2018-20 (2018-11)

copyright(c)2018 IEICE