

次世代 1200V 耐圧 BCD プロセスを用いた MIC の開発

Development of MIC using the next generation 1200V BCD process

内 藤 裕 也*
Yuya Naito

概要 近年、自動車、産業機器市場では高電圧大電流モータドライバの需要が高まっている。今回最大電圧1200V、最大電流50Aに対応するために、1200V高耐圧BCDプロセスであるSG7UHVプロセスを用いたMIC (Monolithic Integrated Circuit)を開発した。デザインルール0.25 μ mの900V第7世代BCDプロセス(SG7HVプロセス)をベースとしたSG7UHVプロセスは、1200V化した高耐圧デバイス以外は最小限の変更にとどめている。これにより、過去の設計資産を有効活用することが容易になっている。

本稿ではSG7UHVプロセスを紹介するとともに、製品概要、MICの特性について報告する。

1. まえがき

近年、自動車市場においてはシステムの電動化が進んでおり、特にカーエアコンシステムには高圧バッテリーを電源とする電動コンプレッサの搭載が増えている。電動コンプレッサ内のモータを駆動するモータドライバには、小型化や高信頼性、高機能化の要求に対応すべく、従来のディスクリート構成から、IPM (Intelligent Power Module) への切り替えが進んでいる。IPMは三相モータ駆動に必要なパワーデバイスだけでなく、ゲートドライブ回路や各種保護回路を持った高耐圧IC (High Voltage IC, HVIC) 等周辺回路を内部に取り込んでインテリジェント化したパワーモジュールである。HVICはインバータ機器の性能を決めるキーデバイスであり、当社では高耐圧BCD (Bipolar CMOS DMOS) プロセス技術を用いて900VまでのHVICを製品化している。しかしAC400V級のモータの場合、パワーデバイスやHVICに要求される耐圧はサージ電圧を考慮して1200V以上となり、それらアプリケーションはカバーできていなかった。当社が有する高耐圧BCDプロセスとして0.25 μ mデザインルールである第7世代高耐圧BCDプロセス(プロセス名:SG7HV)がある。SG7HVプロセスをベースとした当社最新の高耐圧プロセス(プロセス名:SG7UHV)を用いて、最大電圧1200V、最大電流50Aに対応するMICを開発した。

2. 1200V BCDプロセスについて

HVICはフォトカプラやパルストランスなどの素子を用いてハイサイドのゲートドライバを絶縁する方式と違って半導体チップ内部で高耐圧のNch MOSFETを用いたレベルシフト回路によってゲートドライバを絶縁している。1200VのHVICにはハイサイド回路を内蔵する高耐圧分離領域(高耐圧Diode)と、グランド基準の駆動信号をハイサイド回路に伝達するレベルシフトアップ用の高耐圧Nch MOSFETが内蔵されている。

2.1 SG7UHVプロセスの概要

SG7UHVプロセスは最小デザインルール0.25 μ mルールを採用しており、Logic回路部の高集積化を実現している。ゲート酸化膜は2種類の膜厚を用いるデュアルゲート構成となっており、5Vから30VまでのCMOSが搭載可能である。特にハイサイドゲートドライブ用の30V CMOSは電源電圧15Vに対し十分な耐圧マージンを持っており高信頼性を実現している。またゲート駆動電圧が高いSiC MOSFETなどの次世代デバイスのドライブにも対応可能である。

SG7HVプロセスではP型シリコン基板にN型埋め込み拡散層を有した構造となっており、SG7HVプロセスからSG7UHVプロセスへの変更点は以下となる。

- P型シリコン基板の高抵抗化
- N型埋め込み拡散層を深く
- 三層メタル配線の採用

*半導体事業本部 マーケティング本部 プロセス技術統括部
IC 設計部 IC 設計課

SG7UHVプロセスにおいて、従来当社高耐圧BCDプロセスで使用してきたP型シリコン基板よりさらに高抵抗のシリコン基板を採用しN型埋め込み拡散層をより深く形成している。これらのプロセス変更と、デバイス構造の最適化により高耐圧NchMOSFETおよび高耐圧PchMOSFETのオフ耐圧、オン耐圧ともに1200V以上を確保している。また、高耐圧デバイス上を通る高電圧配線によるデバイス特性、信頼性への影響を考慮し、三層メタル配線を採用した。これにより高電圧配線下とデバイス表面との距離を確保し電界緩和をおこなっている。

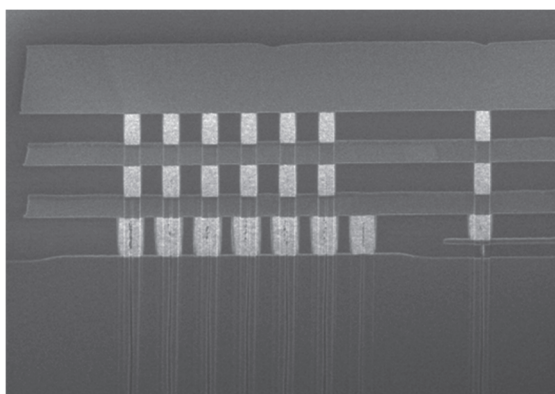


写真1 SG7UHVプロセス素子断面写真

写真1に本プロセスで製造したチップの断面写真を示す。CMPプロセスおよび高アスペクト比タンゲステンプラグ埋め込みプロセスにより、厚い層間絶縁膜においても平坦化ができており、5V CMOSロジック回路と高耐圧デバイスの混載が可能となっている。

3. 1200Vデバイスについて

レベルシフト用高耐圧素子として、1200V耐圧の高耐圧Nch MOSFET、高耐圧Pch MOSFETがある。これらの素子構造および特性について紹介する。

3.1 高耐圧Nch MOS

図1(a)に高耐圧Nch MOSFETの断面構造図を示す。本構造は、ベースプロセスSG7HVの900V耐圧Nch MOSFETと同一の基本構造を用いた。

高耐圧構造には、ドレインドリフト層にあたるN型リサーフ領域にN型埋め込み拡散層を有する独自のリサーフ構造を採用している。

そして今回、このリサーフ構造に対して、

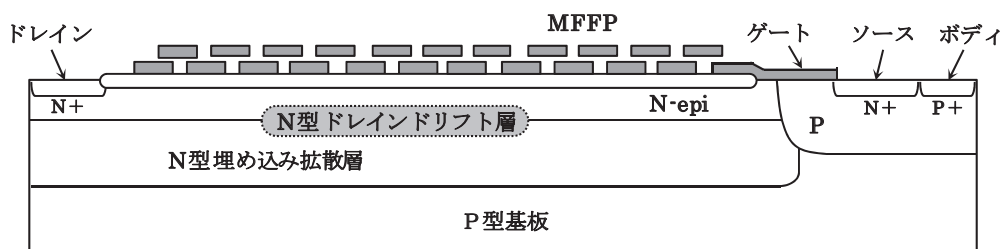
- ① P型基板の高抵抗化
- ② ドレインドリフト長の拡張
- ③ N型埋め込み拡散層の濃度・深さの最適化

をおこなうことで、1200V高耐圧化を実現した。また、これらの変更は高耐圧素子のみに関わる拡散層およびパターンレイアウトに限られ、その他素子に影響を及ぼすことなくおこなわれた。

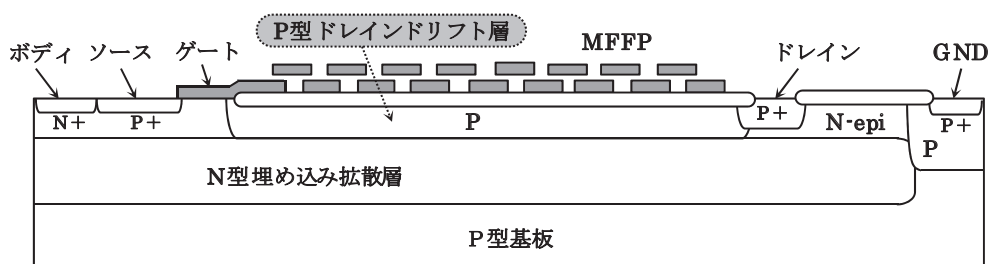
さらに、リサーフ表面電位の安定化に寄与するフィールドプレート構造には、リーク電流の発生を伴わないMFFP (Multiple Floating Field Plate) を採用している。

3.2 高耐圧Pch MOS

図1(b)に高耐圧Pch MOSFETの断面構造図を示す。高耐圧Pch MOSFETは、高耐圧Nch MOSFETのN型リ



(a) 高耐圧 Nch MOS



(b) 高耐圧 Pch MOS

図1 高耐圧 MOSFET の断面構造図

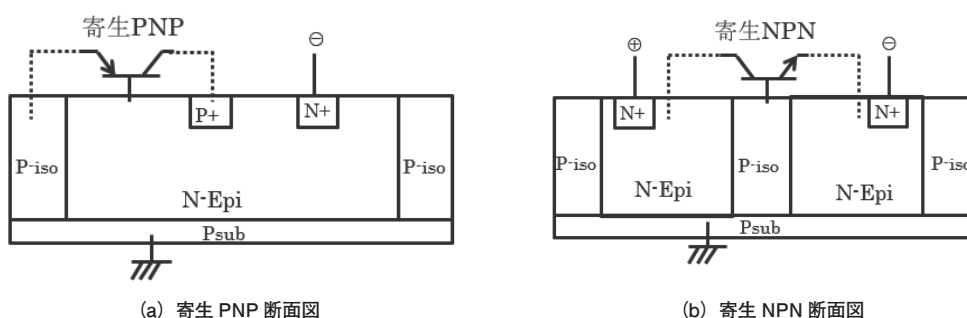


図3 寄生素子の断面図

5.1 寄生動作対策

製品によるスイッチング動作時に、出力が負電位になることでハイサイドのゲートドライバ用フローティング電源も負電位となり、高圧分離領域による寄生素子が動作する。

高圧分離領域のEpiはハイサイドドライブのフローティング電源端子に接続されており、高圧GND端子が負電位時は高圧電源端子自身も負電位になる。高圧電源端子が負電位時でも高圧電源端子－高圧GND端子≒15V(制御電源電圧)は維持されるため、内部回路のフローティングP型拡散において、寄生PNPの影響を受ける懸念がある。また、高圧分離領域のEpiやLDMOSのドレインのEpiが負電位に入ること、寄生NPNの影響により他のEpiからの電流バイパスの影響を受ける可能性がある。

高圧分離領域による寄生動作としては、上記寄生PNP、寄生NPNの二通りが考えられる。寄生PNPについてはIso (E)-高圧Epi (B)-P型拡散 (C)であり、負電位になるEpiの中のP型拡散に対してIsoから電流が注入される。寄生PNPの断面図を図3(a)に示す。また、寄生NPNについては制御部Epi (C)-Iso (B)-高圧Epi (E)で、負電位になるEpiが、寄生NPNのエミッタとなり他の

Epiから電流をバイパスする。寄生NPNの断面図を図3(b)に示す。

上記、寄生素子の影響のある回路素子を選定し、該当の素子において寄生素子の hFE が小さくなるようにレイアウト対策をおこなった。この対策により、寄生素子による誤動作が起らない設計とした。

6. むすび

車載、産業機器市場に対応した最大電圧1200V、最大電流50AのIPM SAM2シリーズに搭載するMICを、1200V耐圧を保証するSG7UHVプロセスを用いて開発した。また、最小デザインルール0.25 μ mの本プロセスを採用することで、高集積化を実現した。

加えてハイサイドドライバMICについて、寄生動作対策等をおこなうことで、安定したスイッチング動作を実現することができた。今後は、SAM2シリーズのリリースを目指すとともに、5A品、15A品に関してラインアップの拡充をおこなう予定である。

参考文献

- (1) 藤田, 青木: サンケン技報, vol.50, p.23-26, (2018.11)
- (2) 浅見, 今井, 他: サンケン技報, vol.52, p.33-36, (2020.11)