

# ESD 耐性を備えた起動回路用高機能 LDMOS の開発

## Development of Novel LDMOS with ESD Robustness for Start-up Circuit

藤田 直人\*

Naoto Fujita

**概要** 高耐圧電源ICの起動回路用LDMOS (Lateral Double-diffused MOSFET) において、ESD 保護素子機能を素子内に統合することで、チップ面積の増加を最小限に抑えながら、高いESD 耐量を有する新たなLDMOSを開発した。このLDMOSは、製品端子であるStart-up 端子に接続されるため、製品のESD 耐性の強化につながり、より安全で信頼性の高い高耐圧電源IC製品の実現に大きく寄与する。本稿では、今回開発した二つの新しい構造（デュアルゾーン型とリングゾーン型）の起動回路用高機能LDMOSについて、それぞれの特徴と利点を報告する。

### 1. まえがき

当社は、1200Vまでの高耐圧電源ICを取り揃えており、さまざまな産業アプリケーションに対応できる製品ラインナップを展開している。また、製品の小型化が求められる中で、起動回路を内蔵することで電源回路の小型化を実現している。

この起動回路には、高耐圧Nch LDMOSとJFETを一体化した起動素子（以下、起動回路用LDMOS）を使用しており、そのドレイン電極がStart-up 端子に接続されている。このStart-up 端子は、製品端子として引き出されるため、Start-up 端子のESD（静電気放電）に対する耐性を高めることは、より安全かつ信頼性の高い製品を提供することにつながる。

一般的に、ESDに対する耐性を高めるには、専用のESD保護素子を導入する方法が用いられる。しかし、高耐圧電源ICでは、そのESD保護素子自体も高耐圧特性を保持する必要があるため、大きな素子専有面積が追加が必要となり、それによるチップ面積の増加・コストの増加が課題であった。

そこで今回、Start-up 端子に接続される起動回路用LDMOSに着目し、LDMOS自体にESD保護素子機能を付加することによって、チップ面積を増大させることなく、高耐量を実現する新構造を開発したので、ここに概要を報告する。

### 2. 起動回路用高機能 LDMOS

#### 2.1. 開発のコンセプト

本開発では、LDMOS領域内にESD保護領域を形成することでESD保護素子機能を内蔵し、起動回路用LDMOS自体を高耐量化させることを目指した。ESD保護領域には寄生NPN動作促進構造を採用し、LDMOSと並列に設けられている。図1にその等価回路を示す。これにより、ESDが発生した場合、ブレイクダウン直後にESD保護領域で優先的に寄生NPN動作促進構造がオンし、GNDへ放電を行うことで、LDMOSおよび内部回路を破壊から保護することが可能となる。

今回、このESD保護領域の配置方法に基づき、デュアルゾーン型とリングゾーン型の2種類の構造を開発した。

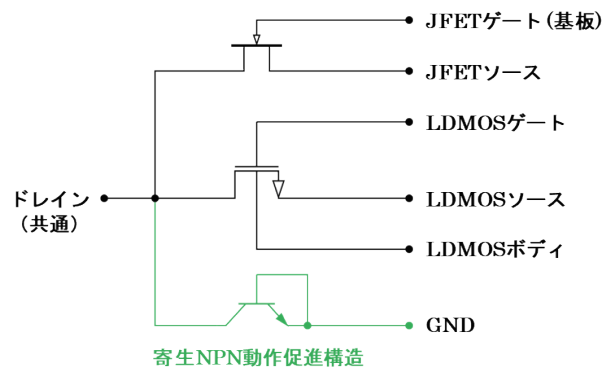


図1 起動回路用高機能 LDMOS の等価回路

\* 技術開発本部 プロセス技術統括部  
ICデバイス開発部 ICプロセス開発課

## 2.2. 従来型

まず始めに、今回の開発のベースとなっている起動回路用 LDMOS の従来型構造について説明する。図 2 に従来型構造の素子概略図を示す。先述の通り、本素子は高耐圧 Nch LDMOS と JFET を一体化した素子であり、LDMOS 領域が全周に渡ってリング状に形成され、JFET 領域がさらに外側の一部の領域に形成された構造となっている。

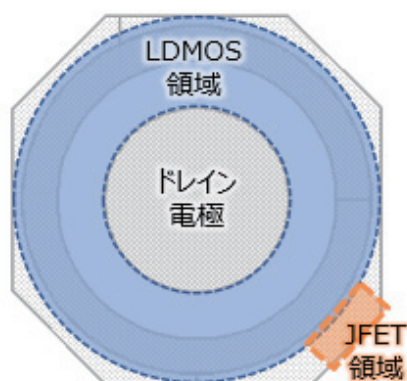


図 2 従来型の LDMOS 素子概略図

図 3 に LDMOS 領域および JFET 領域の断面構造図を示す。LDMOS は、ドレインドリフト層にリサーフ構造とリサーフ表面電位の安定化に寄与するフィールドプレート構造 MFFP (Multiple Floating Field Plate) を採用し、高耐圧特性を実現している。また、JFET は、P 型基板内にドレインドリフト層から伸長された N 型層を形成し、ドレイン電圧の上昇に伴って PN 接合面から N 型層内部に伸びる空乏層によりピンチオフさせる構成となっている。

なお、今回の開発は LDMOS 領域に対する構造開発のため、以下、LDMOS 領域にのみ焦点を当てて述べる。

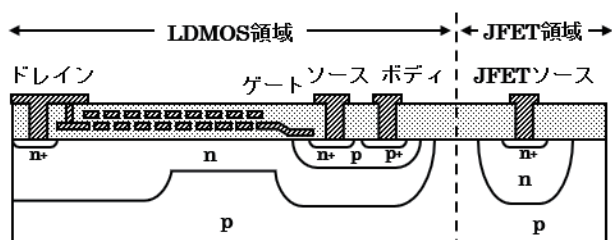


図 3 従来型 LDMOS の LDMOS 領域と JFET 領域の断面概略図

## 2.3. デュアルゾーン型

図 4 にデュアルゾーン型構造の素子概略図を示す。従来型構造では全周が LDMOS 領域となっていたが、デュアルゾーン型構造では LDMOS 領域を二分する。一方を LDMOS として、他方を ESD 保護領域として利用した構

造となっている。ドレインは共通しており、LDMOS のドリフト層および低圧側電極と、ESD 保護領域のドリフト層およびアノード電極が分離されている。LDMOS の素子面積は図 2 の従来型構造と同じである。

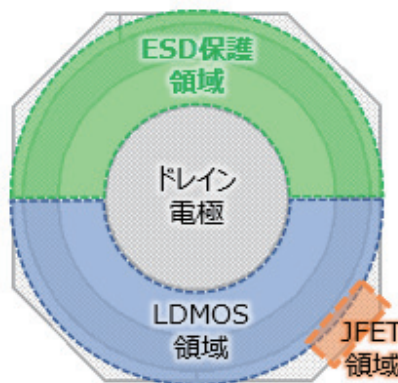


図 4 デュアルゾーン型の LDMOS 素子概略図

図 5 に ESD 保護領域の断面構造図を示す。ESD 保護領域は、配線を除き LDMOS と同じ構造を採用している。低圧側全端子をアノード電極としてショートし、GND に接続することで、寄生 NPN 動作促進構造を形成している。つまり、プロセスの追加なく ESD 保護領域の形成が可能である。

また、LDMOS 領域と ESD 保護領域との間の分離部は、LDMOS のボディ層と寄生 NPN 動作促進構造のベース層の間でリーク電流が発生しないよう、ボディ-基板間の定格電圧に従って距離を設計している。

評価の結果、JEITA 規格クラス 2 の 2kV を十分に上回る ESD (HBM) 耐量を確認した。デュアルゾーン型によって、素子面積を増加させることなく、高耐量化が可能となった。

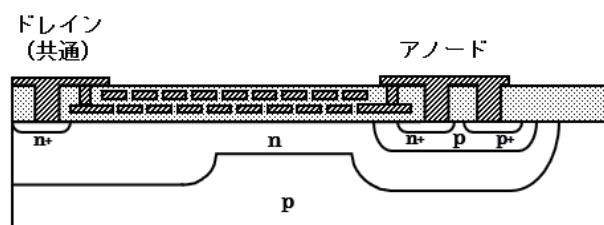


図 5 デュアルゾーン型 LDMOS の ESD 保護領域の断面概略図

## 2.4. リングゾーン型

図 6 (a) にリングゾーン型構造、(b) にデュアルゾーン型の変形構造の素子概略図を示す。デュアルゾーン型構造では、先述のように高耐量化に成功したが、一部を ESD 保護領域に使用してしまうため、従来型構造よりは電流能力が減少してしまう。つまり、電流を多く必要

とする起動回路には対応できない。もし従来型と同等の電流能力を得るために、デュアルゾーン型で LDMOS のゲート幅を伸長させると、図 6 (b) のように、素子面積は 80% 以上増加し、大きなチップ専有面積が必要となる。

そこで、図 6 (a) のように、ESD 保護領域を内側に配置し、同心円状に LDMOS 領域と ESD 保護領域を形成するリングゾーン型を開発した。LDMOS 領域と ESD 保護領域でドリフト層を共有することで、LDMOS は従来型と同様に素子全周を使って電流を流すことができるため、同等の電流能力を得られる。

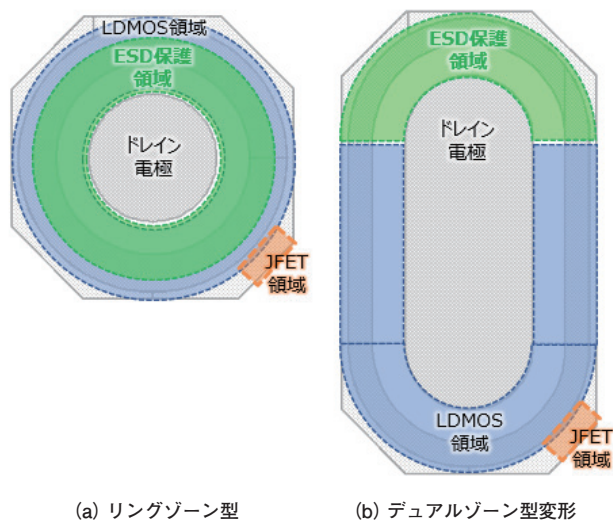


図 6 リングゾーン型とデュアルゾーン型変形の LDMOS 素子構造概略図

図 7 にリングゾーン型構造の断面構造図を示す。デュアルゾーン型と同様、配線以外は LDMOS と同じ構造で ESD 保護領域を形成している。高耐圧特性を確保するため、ドレインと ESD 保護領域のアノード間の距離を従来型と同距離に設計している。LDMOS の低圧側電極は、分離部を経て、外側に配置される。LDMOS 領域と ESD 保護領域との間の分離部は、LDMOS ボディー-基板間の定格電圧および LDMOS チャンネルへ流れ込む電流経路を狭窄し電流が減少しない距離に設計している。これにより、従来型と比較して素子面積は増加するものの、その増加量は 20% に留めることができ、デュアルゾーン型の増加量 80% と比較して大幅な面積縮小が可能である。

評価の結果、デュアルゾーン型と同様、2kV を十分に上回る ESD (HBM) 耐量を確認した。また、図 8 の  $V-I$

特性が示すように、従来型と同等の電流能力を確認した。リングゾーン型によって、素子面積の増加を最小限に抑制しつつ、高耐量化と電流能力維持の両立が可能となった。

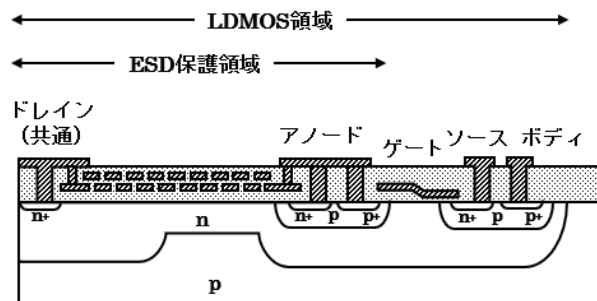


図 7 リングゾーン型 LDMOS の断面概略図

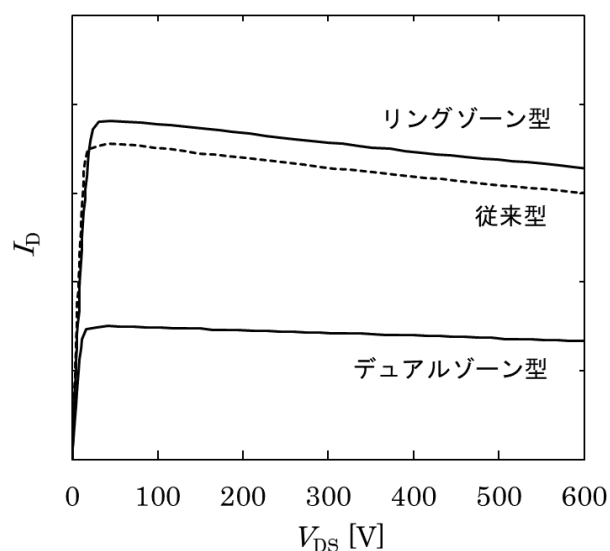


図 8 各 LDMOS の  $V_{bs}-I_b$  カーブ

### 3. むすび

起動回路用 LDMOS に ESD 保護領域を統合し、高い ESD 耐量を有する新しい高機能 LDMOS を開発した。デュアルゾーン型で素子面積を増加することなく起動素子自体の高耐量化を実現した。さらに、デュアルゾーン型の課題である電流能力の低下に対して、リングゾーン型で高耐量と電流能力を維持しつつ、素子面積増加を最小限に抑える構造を実現した。今後、本起動回路用 LDMOS を用い、高耐圧電源 IC など、より安全かつ信頼性の高い製品を提供していく。