

# 高圧フルブリッジ型 LLC 電源向け 高効率同期整流コントローラの開発

Development of highly efficient controller of synchronous rectification for high voltage full-bridge LLC power supply

金 正 烈\*  
Kim Jungyul

伊 藤 公 一\*  
Koichi Ito

姜 韓 柱\*\*  
Kang Hanju

**概要** 近年、大型TVやEV車用途の高圧バッテリー充電器向けのLLC電源では、電源のスリム化のためトランスの小型化およびパワー素子のヒートシンクのレス化・小型軽量化が求められている。この要求に応えるためのソリューションとして、電源の二次側をフルブリッジ構成にして高出力電圧・低電流化をおこなった。さらにパワー素子の温度を下げるため同期整流化をおこない、効率の良いスイッチング制御をおこなうための新しい同期整流コントローラICを開発した。本稿では当社独自の高効率システムを確立したため報告する。

## 1. まえがき

近年TV画面は、大型化と高解像度化に加えて数年前とは比較にならないほど飛躍的に薄型トレンドが進んでいる。このためTVメーカは、電源ボードのスリム化技術の開発に力を入れている。

電源ボードのスリム化における最大の障害は、トランスとヒートシンクの厚さである。この障害を解決するため、LLC電源の二次側をフルブリッジ構成にして高出力電圧・低電流化を検討した。二次側にフルブリッジ構成の高圧整流器を使用することで、トランスの二次側の巻線を減らし、小型化することができる。また、高圧整流器を同期整流化し効率的なスイッチング制御をおこなうことで、パワー素子の発熱温度を下げ、ヒートシンクレス化ができる。本稿では、効率のよいスイッチング制御をおこなうための新しい同期整流コントローラICを開発したため報告する。

## 2. 製品概要

電源ボードのスリム化を目的として開発した本同期整流ICは、図1に示すようにLLC電源の二次側がフルブリッジ構成のものを対象とする。

フルブリッジ構成は、トランスの二次側巻線を同じ出力電力で図2に示すセンタータップ構造と比較して半分（2巻線に対して1巻線）に減らすことができる。

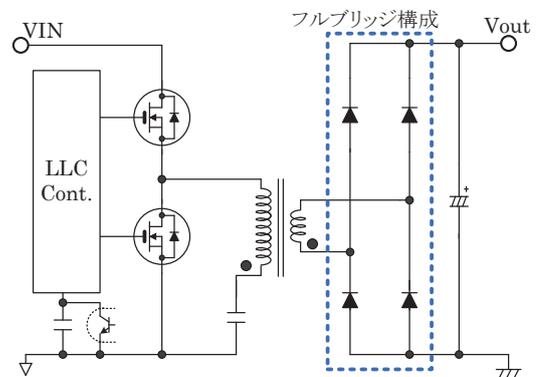


図1 LLC電源（二次側フルブリッジ構成）

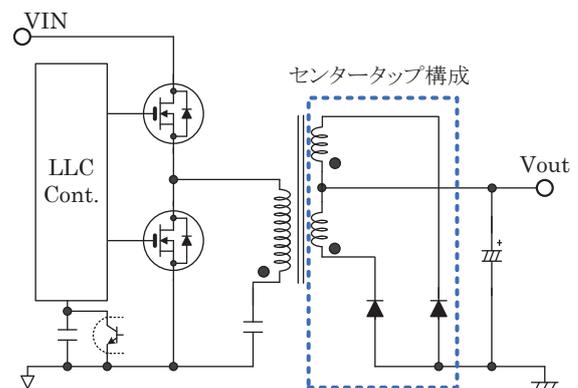


図2 LLC電源（二次側センタータップ構成）

\* サンケンエレクトロニクス

\*\* 技術開発本部 パワーデバイス開発統括部  
電源IC開発部 2課

また、二次巻線間のリーケージインダクタンスがなくサージ電圧の発生が少ないため、ダイオードの耐圧はセンタータップ構成の整流器と比較して1/2以下となる。したがって、センタータップ構成と比較してパワー素子の耐圧マージンを持たせる必要がない。

### 3. 二次側同期整流動作

二次側を同期整流化するためには、図1における二次側のフルブリッジ構成の整流ダイオード部分を図3のように4つのパワーMOSFET（以下、FETとする）に置き換え、図4に示すタイミングでFETを駆動させる必要がある。なお、図3に示すローサイド側のQ3およびQ4は、メインスイッチ、ハイサイド側のQ1およびQ2は、サブスイッチである。この4つのFETを効率よ

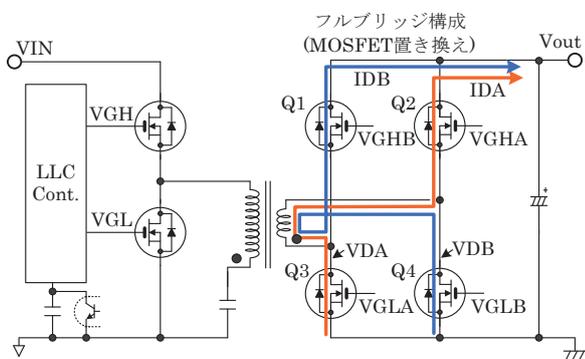


図3 LLC 電源 (二次側 MOSFET 置き換え)

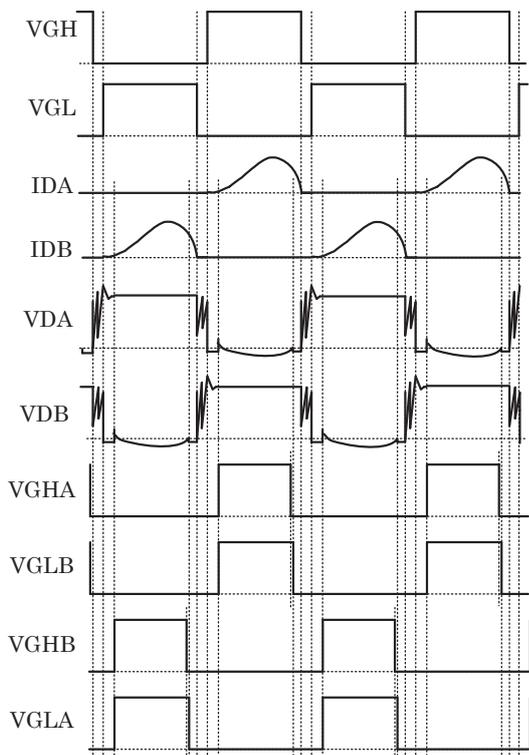


図4 LLC 同期整流動作タイミングチャート

くスイッチング制御をおこなうことで導通損失を減らし、FETの発熱温度を下げるができる。

## 4. 制御システム

### 4.1. 本同期整流ICのブロック構成

図5に本同期整流ICのブロック図を示す。図3のQ3およびQ4のドレイン・ソース間の電圧を図5に示すVDAとVSA、VDBとVSBとで検知する。これにより、Q3およびQ4のゲート駆動信号VGLAとVGLBの出力タイミングを最適に制御する。また、VGLAとVGLBに連動してQ1およびQ2のゲート駆動信号VGHAおよびVGHBを出力する。なお、IC内部の制御には数十MHzのクロックを使用し、1サイクル前の情報をもとにビット演算を高速におこない、タイミング制御をおこなう。

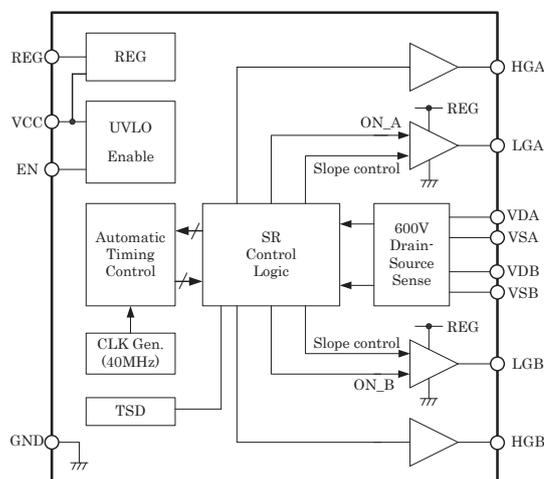


図5 本ICのブロック図

### 4.2. メインスイッチのゲート駆動制御

メインスイッチであるQ3およびQ4は、図6に示すようにゲート駆動信号の立上り前半ではデジタル駆動制御、立下り後半ではスロープ制御をおこなう。本IC

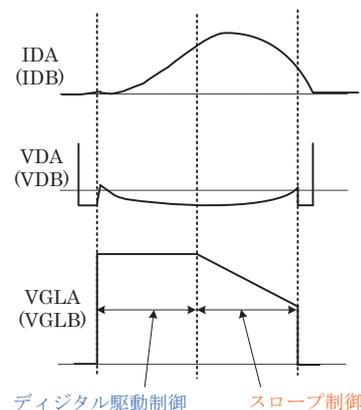


図6 本ICのゲート駆動波形

ではこの両者を組合せた新しい駆動方法を確立し採用した。

デジタル駆動制御のみの場合、ゲート駆動信号のスイッチングスピードを速くすることができスイッチング損失を減らすことができる。しかし、ターンオフ時直前に  $I_{DA}$  ( $I_{DB}$ ) の電流変化が急激に大きくなるため図 7 に示す FET のリードの寄生インダクタンスで大きな逆起電圧  $V_L$  (以下、 $V_L$  とする) が発生する。この  $V_L$  により、図 8 に示すようにターンオフ時  $I_{DA}$  が 0A になるよりも先に  $V_{DA}$  (または  $V_{DB}$ ) が早めにオフしきい値に到達し、ゲート駆動信号がターンオフする。このため、FET の導通期間が短くなりボディダイオードによる導通損失が増え効率が悪化する。

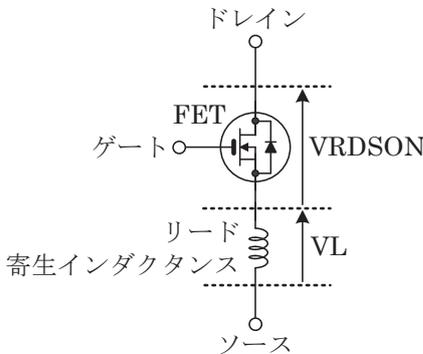


図 7 実際の MOSFET

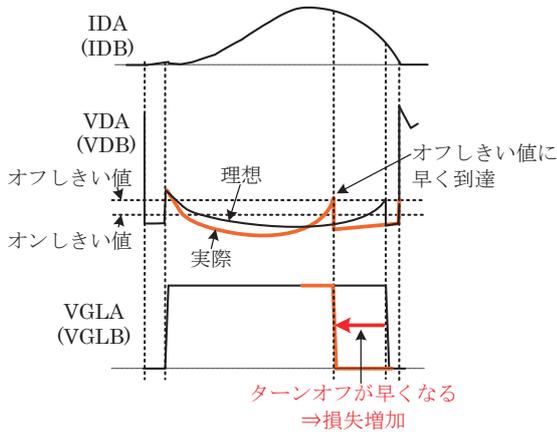


図 8 理想波形と現実波形

これを解決するために、ターンオフ時はゲート駆動信号のスロープを変えることで、オン抵抗 ( $R_{DSON}$ ) を制御するスロープ制御を採用した。スロープ制御は、一周期前にゲート駆動信号のターンオフの状態を検出して次の周期の動作を決める。ゲート駆動信号が早くオフした場合にはスロープを大きくし、遅くオフした場合にはスロープを小さくするように制御する。ゲート駆動信号に

スロープ制御を適用すると、図 9 のように FET のオン電圧  $V_{RDSON}$  が寄生インダクタによって発生した  $V_L$  を相殺して早めにオフすることを防ぐ。これにより、同期整流としてのパフォーマンスを最大限に引き出すことができる。

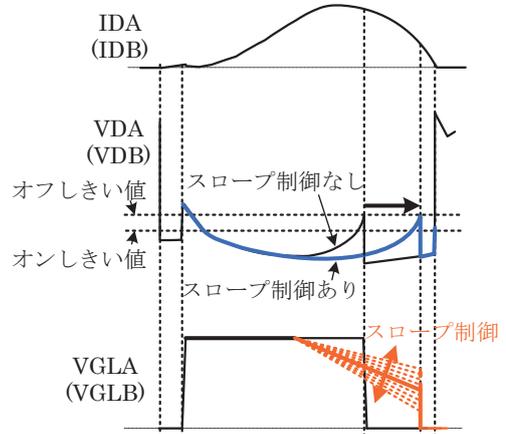


図 9 スロープ制御による効果

#### 4.3. オンマスク自動調整制御

二次側巻線の電圧波形には、導通するパワー素子のチャンネルが切り替わるタイミングでリングング電圧が発生する。同期整流化で整流ダイオードを FET に置き換えた場合、同期整流 IC では FET のドレイン・ソース間電圧がオンしきい値に達したことを検知してゲート駆動信号をターンオンさせる。このため IC は、リングング電圧で FET が誤動作しないことが重要である。

当社が従来開発した同期整流 IC では、リングング電圧をマスクするための時間設定を外部端子でおこなっていた。しかしこの場合、負荷が変わったときにも常に同じマスク時間となるため部品定数の設定が難しいという欠点があった<sup>(1)</sup>。これに対して本 IC では、図 10 で示すようにゲートターンオン直前のボディダイオードの導通時間がオンマスク時間の 70% を越えたことをカウントすることによって、最適なオンマスク時間を決定する。

カウントが 2 回以上となった場合は次の周期のマスク時間を広げ、2 回未満の場合は狭める。ボディダイオード導通時間がオンマスク時間よりも長くなるとゲート駆動信号がターンオンする。

これにより、マスク時間を自動で調整することで導通角の広いゲート駆動信号が得られ、効率を高めることができる。

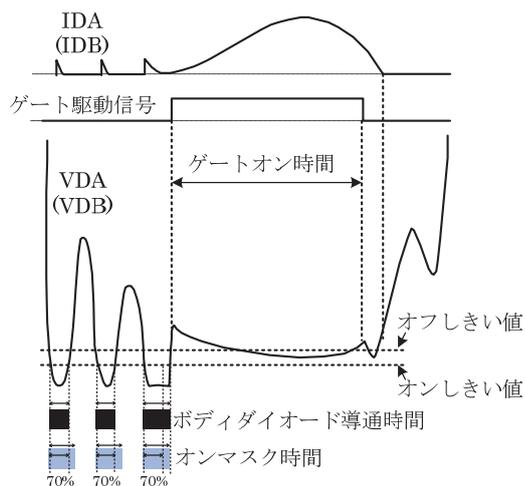


図 10 オンマスク

## 5. 試作評価結果

### 5.1. 同期整流動作

図 11 に本同期整流 IC の動作波形を示す。二次側巻線電流が流れる期間中、IC の制御によりゲート駆動信号が最適に出力されている。

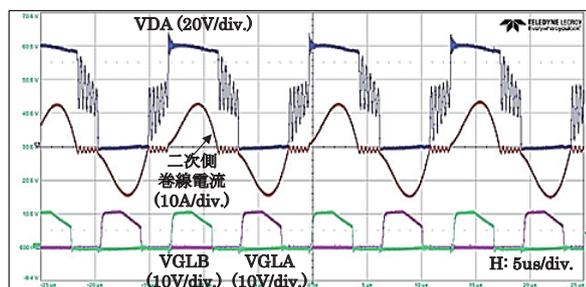


図 11 AC220V/Vo=60V, Io=6A 負荷時の同期整流波形

### 5.2. 特性評価結果

同一出力電力でセンタータップのダイオード整流と、本 IC を用いたフルブリッジ構成の同期整流で温度および効率の比較をおこなった。評価条件を表 1 に示す。

表 1 評価条件

構造制御	センタータップダイオード整流	フルブリッジ同期整流 (本 IC 適用)
デバイス	ダイオード 200V/20A TO-220 10pcs (2ch/pcs)	パワー MOSFET 100V/8.6mΩ TO-220 4pcs
ヒートシンク	120 × 50 × 7.5mm	なし

・実験モデル：75 インチ TV モデルボード  
 ・出力電力：360W (Vo=60V, Io=6A)  
 ・エイジング：2 時間

評価結果を表 2 に示す。ダイオード整流の場合、ダイオードが Ach および Bch にそれぞれ 5 素子 (2 素子/pcs) ずつ、同期整流の場合 FET をチャンネル (ch) あたり 2 素子ずつ (H/S と L/S に 1 素子ずつ) 使用した。結果、同期整流はヒートシンクなしで平均 54.6℃、ダイオード整流はヒートシンクありで平均 54.4℃ と同等の温度となり同期整流の良好な特性が得られた。また、図 12 の効率および損失比較においても良好な特性が得られた。

表 2 評価結果

構造制御	センタータップダイオード整流			フルブリッジ同期整流 (本 IC 適用)		
トランス	72.0℃			70.2℃		
ヒートシンク	120 × 50 × 7.5mm			なし		
デバイス	Ach	#1	54.6℃	Ach	#1 H/S	54.6℃
	Ach	#2	55.9℃		#2 L/S	55.6℃
	Ach/Bch	#3	54.0℃	Bch	#3 H/S	55.6℃
	Bch	#4	54.4℃		#4 L/S	54.6℃
	Bch	#5	53.2℃		-	-
	平均			54.4℃	平均	

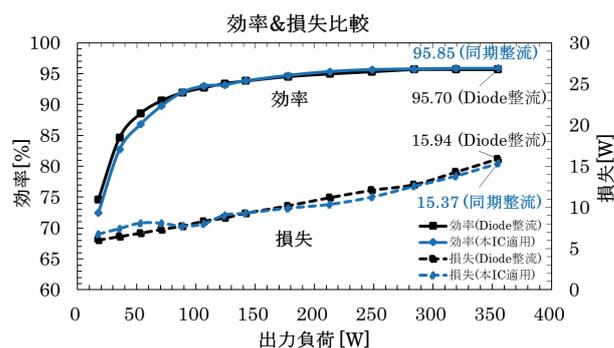


図 12 効率および損失比較

## 6. むすび

本 IC は、高圧フルブリッジ型 LLC 電源二次側同期整流 IC として開発をおこなった。まず検出端子 VDA および VDB の耐圧を高くしたことで、出力電圧を高圧にすることを可能とした。また新しいゲート駆動制御として、デジタル駆動制御とスロープ制御を確立した。試作評価では、ヒートシンクがない場合でも従来のダイオード構成と同等の温度となり、電源ボードの面積を減らすことができる結果が得られた。以上の結果より、電源ボードのトランスの小型化とヒートシンクの削除を実現したことで、テレビのスリムを可能とした。

## 7. 参考文献

- (1) 遠藤, 近重, LEE, 伊藤: サンケン技報, vol.47, p25-28 (2015.11)