



STR-V100 シリーズ
アプリケーションノート ***(Rev. 1.2)***

サンケン電気株式会社
SANKEN ELECTRIC CO., LTD.
<http://www.sanken-ele.co.jp>

目次

1. 概要	3
2. 特長とシリーズラインアップ	3
3. ブロック図と各端子機能	4
4. 外形図	5
5. 電気的特性	6
6. 応用回路例	8
7. 動作説明	9
7.1 起動動作	9
7.2 定電圧制御回路動作	11
7.3 オートスタンバイ機能	12
7.4 オートバイアス機能	12
7.5 ラッチ回路	12
7.6 過電圧保護機能 (OVP)	13
7.7 過電流保護機能 (OCP)	13
7.8 過負荷保護機能 (OLP)	14
7.9 過熱保護回路 (TSD)	14
8. 設計上の注意点	15

注意

- 本書に記載されている内容は、改良などにより予告なく変更することがあります。
ご使用の際には、最新の情報であることをご確認ください。
- 本書に記載されている動作例および回路例は、使用上の参考として示したもので、これらに起因する当社、もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について当社は一切責任を負いません。
- 本書に記載されている製品をご使用の場合は、これらの製品と目的物との組合せについて使用者の責任において検討・判断を行ってください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害などを発生させないよう、使用者の責任において、装置やシステム上で十分な安全設計および確認を行ってください。
- 本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。
高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災・防犯装置、各種安全装置など)への使用をご検討の際には、必ず当社販売窓口へご相談をお願いします。
極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には、当社の文書による合意がない限り使用しないでください。
- 本書に記載された製品は耐放射線設計をしておりません。
- 本書に記載された内容を文書による当社の承諾なしに転記複製を禁じます。

1. 概要

STR-V100 シリーズは、パワーMOSFETと電流モード型 PRC*制御 IC を1パッケージに内蔵した、PRC*型スイッチング電源用パワーIC です。

* PRC (Pulse Ratio Control)・・・OFF 時間固定、ON 時間制御の制御方式(弊社呼称)

制御部は、起動回路とスタンバイ機能を内蔵しており、低消費電力、低スタンバイ電力対応が実現できます。低背、高圧ー低圧間沿面距離4mm以上(基板上リード端子部)の SIP8Lフルモードパッケージ(弊社呼称 STA パッケージ)を使用し、充実した保護機能により構成部品の少ない、コストパフォーマンスの高い電源システムが容易に構成できます。

2. 特長とシリーズラインアップ

特長と利点

- SIP8L パッケージ(弊社呼称 STA8L、2.54 ピッチ、ストレートリード)
 - 高圧ー低圧ピン間沿面距離 4mm 以上(基板上リード端子部)
 - 基板上からの高さ 12mm 以下
 - 白物補助電源用途に最適
 - 電流モード型 PRC 制御
 - オートスタンバイ機能内蔵 (無負荷時入力電力 $P_{IN} < 40mW$ 、低消費電力対応)
 - 通常動作時 ----- PRC モード
 - スタンバイ時(軽負荷時) ----- スタンバイモード(バースト発振動作)
 - 起動回路内蔵 (待機時の消費電力低減と、外付け部品削減が可能)
 - オートバイアス機能内蔵 (バースト発振動作時の動作安定化)
 - リーディング・エッジ・ブランキング機能内蔵
 - 2 チップ構造による、アバランシェ・エネルギー耐量保証 (サージ吸収回路の簡素化が可能)
 - 保護機能
 - ー過電流保護(OCP) -----パルス・バイ・パルス
 - ー過負荷保護(OLP) -----過負荷時の発熱軽減、自動復帰
 - ー過電圧保護(OVP) -----ラッチオフ *
 - ー過熱保護(TSD) -----ラッチオフ *
- *ラッチオフ・・・ラッチオフは、発振停止を継続して保護を行う動作

シリーズラインアップ

製品名	固定 OFF 時間	MOSFET $V_{DSS}(MIN)$	$R_{DS(ON)}$ (MAX)	P_{OUT} ※1	
STR-V152	8 μ s	650V	2.8 Ω	AC220 /	22W / 17W
STR-V153 ※2	11.5 μ s		2.0 Ω	Universal	30W / 23W

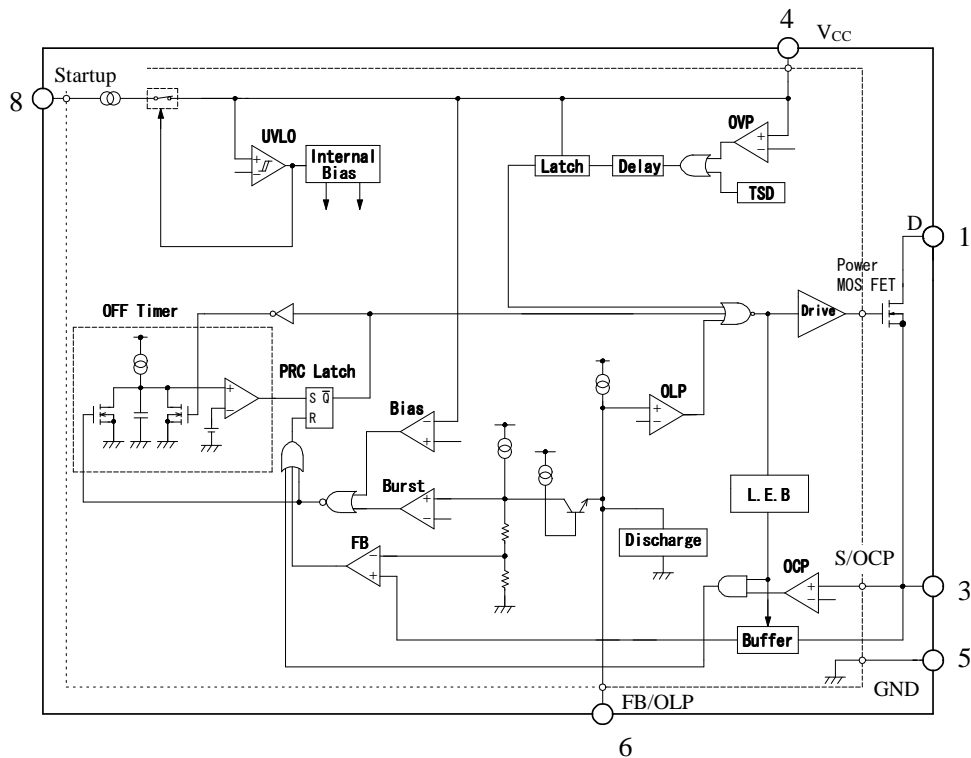
※1 上記出力電力は熱定格であり、最大出力電力は、熱定格の 120%～140%程度まで出力可能です。ただし、出力電圧が低い場合やトランス設計時の ON Duty の設定により出力電力の制限を受けます。

※2 STR-V153 は、オートバイアス機能はありません。

3. ブロック図と各端子機能

ブロック図

代表例 STR-V152 のブロック図

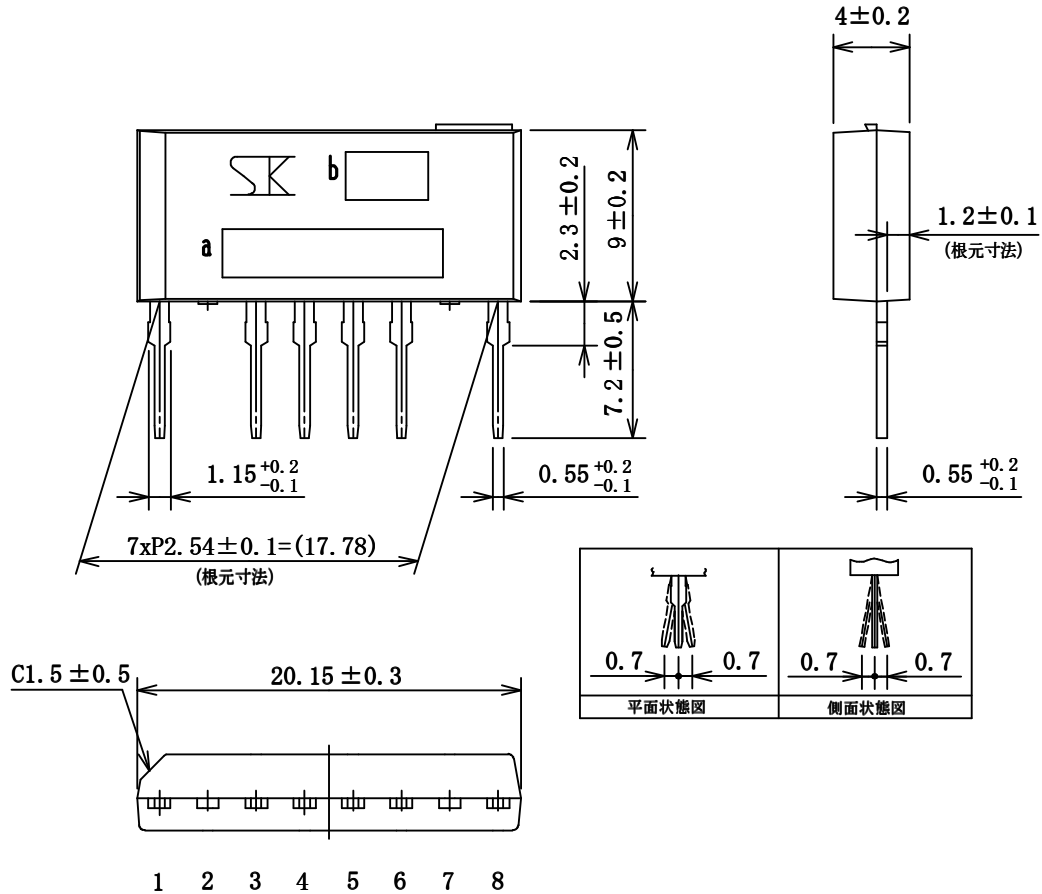


各端子機能

端子番号	記号	機能
1	D	MOSFET ドレイン
2	—	(抜きピン)
3	S/OCP	MOSFET ソース/過電流検出信号入力
4	V _{CC}	制御回路電源入力
5	GND	グラウンド
6	FB/OLP	定電圧制御信号入力/過負荷保護信号入力
7	—	(抜きピン)
8	Startup	起動電流入力

4. 外形図

- SIP8L パッケージ(弊社呼称 STA8L、2.54 ピッチ、ストレートリード)
- 2、7 番端子は、高圧が印加される 1 番端子(D)、8 番端子(Startup)と沿面距離、空間距離をあけるため、抜きピン。
- 高圧と低圧間沿面距離 4mm 以上(基板上リード端子部)。
- 基板上からの高さ 12mm 以下



端子の材質: Cu

端子の処理: Ni メッキ + 半田ディップ

製品質量: 約 2.3g

注記 --- 部分は高さ 0.3 max の
ゲートバリ発生箇所を示す

a: 品名標示

b: ロット番号

第 1 文字 西暦年号下一桁

第 2 文字 月

1~9 月: アラビア数字

10 月: O

11 月: N

12 月: D

第 3,4 文字 製造日

01~31 アラビア数字

単位 : mm

5. 電気的特性

- STR-V100 シリーズの電気的特性を、STR-V152 を代表例として示します。
- 詳細内容は、製品毎の仕様書を参照願います。

5.1 絶対最大定格 特記なき場合の条件 Ta=25°C

項目	端子	記号	規格値	単位	備考
ドレイン電流 ※1	1-3	I_{Dpeak}	4.0	A	シングルパルス
最大スイッチング電流 ※1	1-3	I_{Dmax}	4.0	A	$V_{3-5}=1.33V$ $T_a=-20\sim+125^{\circ}C$
アバランシェエネルギー耐量 ※1	1-3	E_{AS}	90	mJ	シングルパルス $V_{DD}=99V, L=20mH,$ $I_L=2.8A$
S/OCP 端子電圧	3-5	$V_{S/OCP}$	-0.5~6	V	
制御部電源電圧	4-5	V_{CC}	35	V	
FB / OLP 端子電圧	6-5	$V_{FB/OLP}$	-0.5~10	V	
起動端子電圧	8-5	$V_{STARTUP}$	600	V	
MOSFET 部許容損失 ※1	1-3	P_{D1}	10.6	W	無限大放熱器にて
			1.6	W	放熱器なし
制御部許容損失 (MIC) ※1	4-5	P_{D2}	0.15	W	$V_{CC} \times I_{CC}$ にて規定
動作時内部フレーム温度	-	T_F	-20 ~ +125	°C	推奨内部フレーム温度 $T_F=115^{\circ}C(Max)$
動作周囲温度	-	T_{OP}	-20 ~ +125	°C	
保存温度	-	T_{stg}	-40 ~ +125	°C	
チャンネル温度	-	T_{ch}	+150	°C	

※1 製品によって異なりますので、詳細は製品仕様書を参照。

5.2 MOSFET 部電気的特性 特記なき場合の条件 Ta=25°C

項目	端子	記号	規格値			単位
			MIN	TYP	MAX	
ドレイン・ソース間電圧 ※1	1-3	V_{DSS}	650	-	-	V
ドレイン漏れ電流	1-3	I_{DSS}	-	-	300	μA
ON 抵抗 ※1	1-3	$R_{DS(ON)}$	-	-	2.8	Ω
スイッチング・タイム	1-3	t_f	-	-	250	ns
熱抵抗 ※2	-	θ_{ch-F}	-	-	4.05	°C/W

※2 チャンネルー内部フレーム間

5.3 制御部電気的特性 特記なき場合の条件 $T_a=25^\circ\text{C}$, $V_{CC}=20\text{V}$

項目	端子	記号	規格値			単位
			MIN	TYP	MAX	
動作開始電源電圧	4-5	$V_{CC(ON)}$	16.0	17.5	19.2	V
動作停止電源電圧 ※3	4-5	$V_{CC(OFF)}$	9	10	11	V
動作時回路電流	4-5	$I_{CC(ON)}$	-	-	4	mA
非動作時回路電流	4-5	$I_{CC(OFF)}$	-	-	50	μA
オートバイアスしきい電圧 ※5	4-5	$V_{CC(BIAS)}$	9.6	10.6	11.6	V
$V_{BIAS} - V_{CC(OFF)}$ ※5	-	-	0.2	-	-	V
最大 OFF 時間 ※1	1-5	$t_{OFF(MAX)}$	7.3	8.0	8.7	μs
OC P しきい電圧 ※1	3-5	V_{OCP}	1.07	1.2	1.33	V
リーディングエッジブランキング時間	1-5	t_{BW}	168	280	392	ns
バーストしきい電圧 ※1	6-5	V_{BURST}	0.67	0.76	0.85	V
OLP しきい電圧	6-5	V_{OLP}	6.5	7.2	7.9	V
OLP 流出電流	6-5	I_{OLP}	-18.2	-26	-34.1	μA
最大 FB 流出電流	6-5	$I_{FB(MAX)}$	-220	-300	-390	μA
起動電流	8-5	$I_{STARTUP}$	-340	-790	-1230	μA
起動回路漏れ電流	8-5	$I_{START(leak)}$	-	-	-30	μA
OVP 動作電源電圧	4-5	$V_{CC(OVP)}$	28.7	31.2	34.1	V
ラッチ回路保持電流 ※4	4-5	$I_{CC(H)}$	-	-	200	μA
ラッチ回路解除電圧 ※3,4	4-5	$V_{CC(La.OFF)}$	6.6	7.3	8.0	V
熱保護動作温度 ※1	-	$T_j(TSD)$	135	-	-	$^\circ\text{C}$

※3 個々の製品については、 $V_{CC(OFF)} > V_{CC(La.OFF)}$ の関係が成り立つ。

※4 ラッチ回路とは、OVP、TSDにより動作する回路を示す。

※5 オートバイアス機能がある製品は、STR-V152になります。

※電流の規定はICを基準として、シンクが+、ソースが-とします。

7. 動作説明

特記なき場合の特性数値は、STR-V152 仕様に準じます。

7.1 起動動作

図 7-1 に V_{CC} 端子周辺回路を示します。

起動回路は IC に内蔵され、IC 内部で Startup 端子 (8 番ピン) に接続されています。

IC 内部で定電流化された起動電流 $I_{STARTUP} = -790\mu A(TYP)$ は、 V_{CC} 端子に接続された電解コンデンサ C2 を充電し、 V_{CC} 端子電圧が動作開始電源電圧 $V_{CC(ON)} = 17.5V(TYP)$ まで上昇すると、IC は動作を開始します。電源起動後、起動回路は自動的に IC 内部で遮断するため、起動回路による電力消費はなくなります。

起動時間は、C2 のコンデンサ容量で決まり、起動時間の概算値は、次式(1)になります。

$$t_{START} = C2 \times \frac{V_{CC(ON)} - V_{CC(INT)}}{I_{STARTUP}} \quad \text{-----(1)}$$

ここで、 t_{START} は起動時間 (sec)、

$V_{CC(INT)}$ は V_{CC} 端子の初期電圧 (V)

一般的な電源仕様では、電解コンデンサ C5 は、10~47 μF 程度になります。

図 7-2 に V_{CC} 端子電圧と回路電流 I_{CC} の関係を示します。 V_{CC} 端子電圧が $V_{CC(ON)} = 17.5V(TYP)$ に達すると、制御回路が動作を開始し、回路電流が増加します。制御回路動作後、 V_{CC} 端子電圧が動作停止電源電圧 $V_{CC(OFF)} = 10V(TYP)$ に低下すると、低入力時動作禁止 UVLO(Undervoltage Lockout) 回路により制御回路は動作を停止し、再び起動前の状態に戻ります。制御回路動作後は、図 7-1 の補助巻線 D から整流平滑された電圧(補助巻線電圧 V_D)が V_{CC} 端子の供給電力になります。

なお、補助巻線電圧は、電源仕様の入出力変動範囲内で、 V_{CC} 端子電圧が、

$$V_{CC(BIAS)} = 11.6V(MAX) < V_{CC} < V_{CC(OVP)} = 28.7V(MIN)$$

になるように補助巻線 D の巻数を調整します。補助巻線電圧の目安は、15~20V 程度になります。

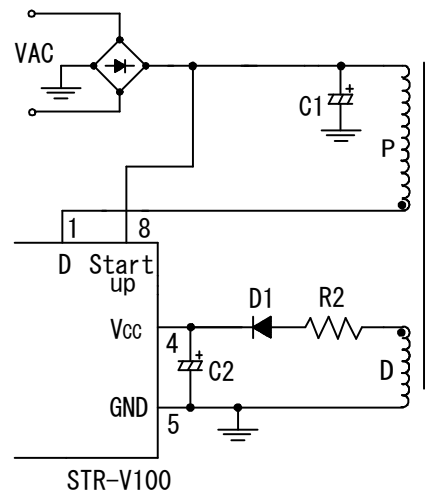


図 7-1 V_{CC} 端子周辺回路

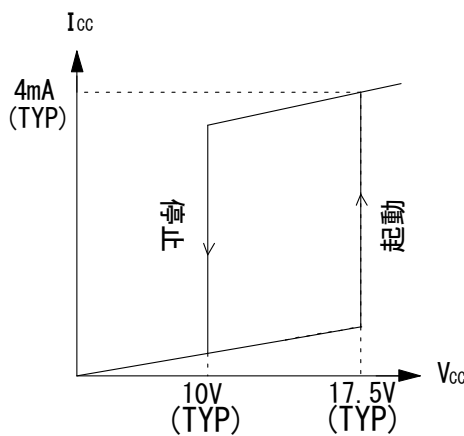


図 7-2 V_{CC} 端子電圧—回路電流 I_{CC}

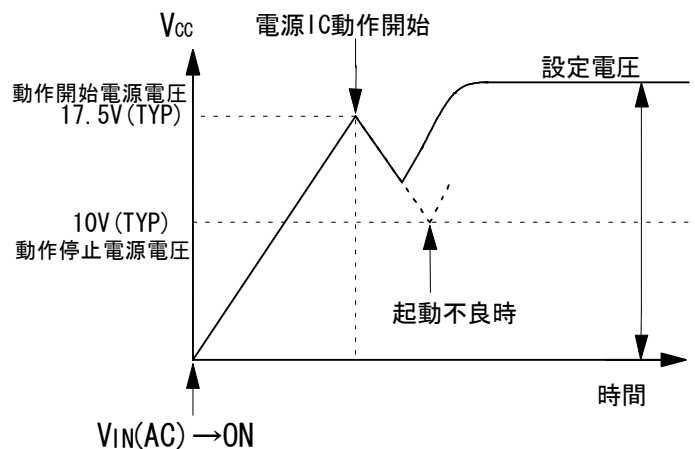


図 7-3 起動時 V_{CC} 端子電圧

図 7-3 に起動時の V_{CC} 端子電圧波形例を示します。補助巻線 D は、制御回路動作開始後すぐには設定電圧(トランスの巻数比で決定される補助巻線電圧)まで上昇しないため、 V_{CC} 端子電圧は降下し始めますが、

$V_{CC(OFF)} = 10V(TYP)$ と低く設定しているため、 $V_{CC(OFF)}$ まで下がる間に補助巻線 D の電圧が設定電圧に達し、制御回路は動作を継続します。

実際の電源回路は、図 7-4 のように 2 次側出力電流 I_{OUT} の値により V_{CC} 端子電圧が変化し、過電圧保護動作(OVP)になる場合があります。これは、パワーMOSFET がターン OFFした瞬間に発生するサージ電圧によって、C2 がピーク充電されるためです。

これを防止するには、図 7-5 のように、整流用ダイオード D1 と直列に数 Ω ~ 数十 Ω の抵抗 R2 の追加が有効です。R2 の最適値は、出力電圧に対する V_{CC} 端子電圧の変化が使用するトランスの構造によって異なるため、実際に使用するトランスに合わせた調整が必要です。また、出力電圧に対する V_{CC} 端子電圧の変化率は、下記の場合に悪くなるため、トランス設計時は、補助巻線 D の巻き位置に注意が必要です。

- トランスの 1 次-2 次の結合が悪い場合(低出力電圧、大電流負荷仕様など)
- 補助巻線 D と安定化出力巻線(定電圧制御を行っている出力ラインの巻線)の結合が悪い場合

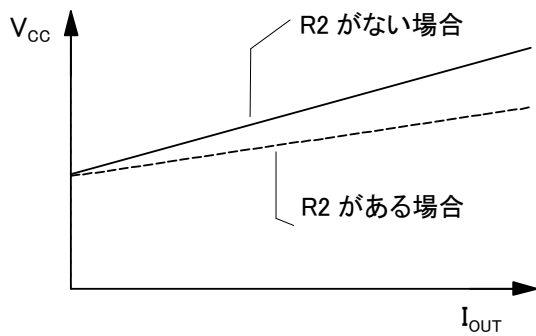


図 7-4 R2 による出力電流 I_{OUT} - V_{CC} 端子電圧

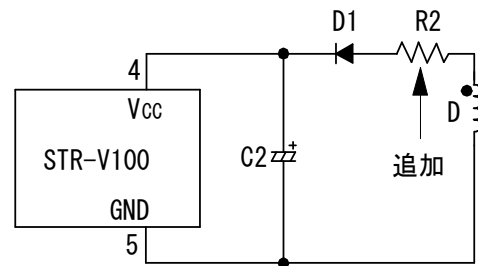
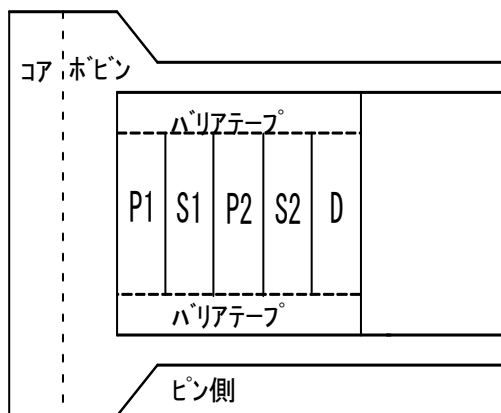


図 7-5 出力電流 I_{OUT} の影響が受けにくい V_{CC} 端子周辺回路

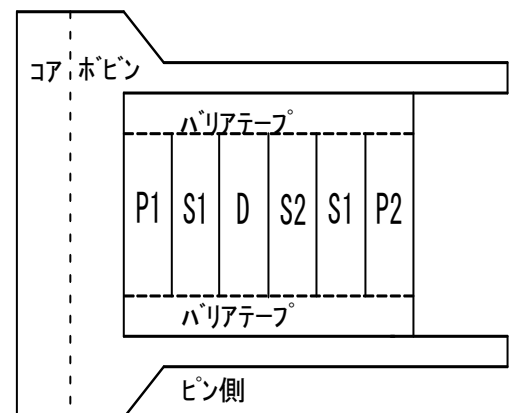
トランス設計時の参考として、補助巻線 D の巻き位置の参考例を、図 7-6、図 7-7 に示します。

- 補助巻線 D を 1 次巻線 P1 と P2 から距離を離す(図 7-6 巻線構造例①)。P1、P2 は 1 次巻線を 2 分割にしたサンドイッチ巻線
- 2 次側安定化出力巻線 S1 で補助巻線 D をサンドイッチする構造とする(図 7-7 巻線構造例②)。2 出力巻線 S1、S2 中、S1 は安定化出力巻線(定電圧制御を行っている出力ラインの巻線)。



P1,P2	1 次巻線
S1	2 次制御巻線
S2	2 次出力巻線
D	V_{CC} 用補助巻線

図 7-6 巻線構造例①



P1,P2	1 次巻線
S1	2 次制御巻線
S2	2 次出力巻線
D	V_{CC} 用補助巻線

図 7-7 巻線構造例②

7.2 定電圧制御回路動作

図 7-8 に FB/OLP 端子周辺回路、図 7-9 に PRC 制御動作について示します。

出力電圧は、OFF 時間固定、ON 時間制御の PRC(Pulse Ration Control)制御方式による、過渡応答および安定性に優れた電流モード制御(ピーク電流モード制御)により、定電圧制御されます。

PRC 制御方式を、図 7-9 に示します。

通常の PWM 制御と異なり、発振回路はなく、制御 IC 内の OFF タイマー回路が、内部固定の OFF 時間を決め、パワー MOSFET の ON 開始のタイミングが作られます。

パワー MOSFET がターン ON する場合は、内部固定の OFF 時間後、OFF 信号出力が“H”になり、PRC ラッチの \bar{Q} が“L”にラッチされ、ゲート制御回路へターン ON 信号が出力され、ゲートドライブ条件が満足されると、パワー MOSFET はターン ON します。

パワー MOSFET がターン OFF する場合は、OCP コンパレータ、または FB コンパレータにより、PRC ラッチ回路がリセットされると、 \bar{Q} が“H”にラッチされ、ターン OFF 信号がゲート制御回路へ出力され、パワー MOSFET はターン OFF します。

出力電圧は、負荷に応じた目標電圧 V_{FB1} と、ドレイン電流波形より作られた V_{OCPM} を、FB コンパレータで比較する電流モード制御で、定電圧制御されます。

V_{FB1} 電圧は、2 次側出力電圧を検出するエラーアンプのフィードバック信号を、フォトカプラ PC1 を介して、FB/OLP 端子からフィードバック電流として引き抜かれて作られ、また V_{OCPM} 電圧は、ドレイン電流を検出する R_{OCP} によって作られます。

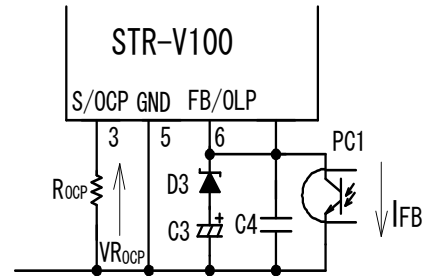


図 7-8 FB/OLP 端子周辺回路

一般的に電流モード制御では、パワー MOSFET がターン ON したときに発生する急峻なサージ電流に、FB コンパレータや OCP 回路が応答し、パワー MOSFET が OFF する場合があります。この現象を防ぐため、リーディング・エッジ・ブランキング機能を内蔵し、ターン ON 時のドレイン電流サージに応答しないように、パワー MOSFET が ON した瞬間から $t_{BW} = 280\text{ns(TYP)}$ (STR-V153 は、 320ns(TYP)) のブランキング期間を設けています。

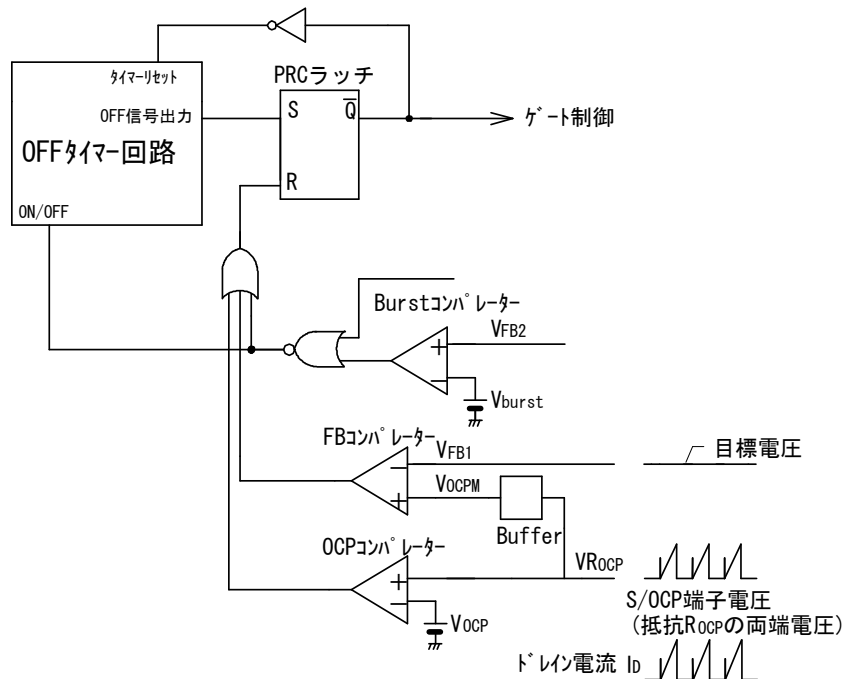


図 7-9 PRC 制御動作

7.3 オートスタンバイ機能

オートスタンバイ機能は、図 7-10 のように、軽負荷時にドレイン電流 I_D が減少し、S/OCP 端子(1 番ピン)電圧が、最大ドレイン電流(過電流状態)時の電圧の約 25%以下 (FB/OLP 端子のバーストしきい値 $V_{BURST}=0.76V(TYP)$ に相当、STR-V153 は、 $0.75V(TYP)$)になると、自動的にスタンバイモードに切り、バースト発振動作を行います。

バースト発振動作は、スイッチングが停止する期間があるため、スイッチング損失を低減し、軽負荷時の効率を改善します。

一般的に、バースト発振周波数は、軽負荷時の効率を、より改善するために、数 kHz 以下になります。この際、バースト発振周波数が人間の可聴領域(20Hz~20kHz)に入ると、トランスから音鳴りが生じる場合があります。

STR-V100 シリーズは、バースト発振動作時のドレイン電流ピークを十分に低く抑え、トランスからの音鳴りを抑えます。

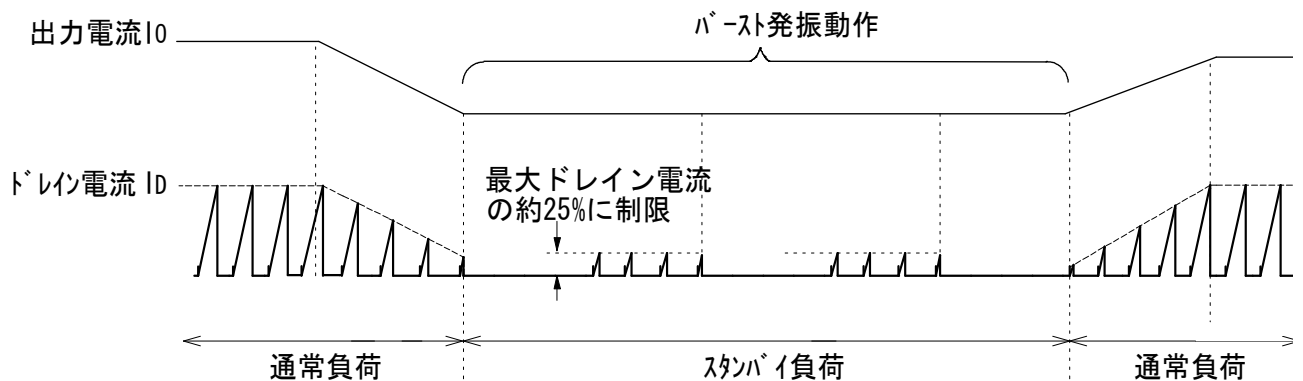


図 7-10 オートスタンバイタイミング動作

7.4 オートバイアス機能

バースト発振動作時、 V_{CC} 端子電圧が動作停止電源電圧 $V_{CC(OFF)}=10V$ まで低下し、UVLO による間欠発振が生じると、安定した出力電力が供給できなくなります。このため、オートバイアス機能を内蔵しています。

この機能は、バースト発振動作期間中に有効になり、 V_{CC} 端子電圧がオートバイアスしきい電圧 $V_{CC(BIAS)}=10.6V(TYP)$ まで低下すると、強制的に PRC 動作を行い、 V_{CC} 端子電圧が、これ以下に下がらないように動作します。スタンバイ条件時、オートバイアス機能が頻繁に動作する場合は、消費電力が増加するため、補助巻線電圧を上げる検討が必要です。電源起動時は、“7.1 起動動作”項を考慮した設計が必要です。

なお、オートバイアス機能がある製品は、STR-V152 になります。

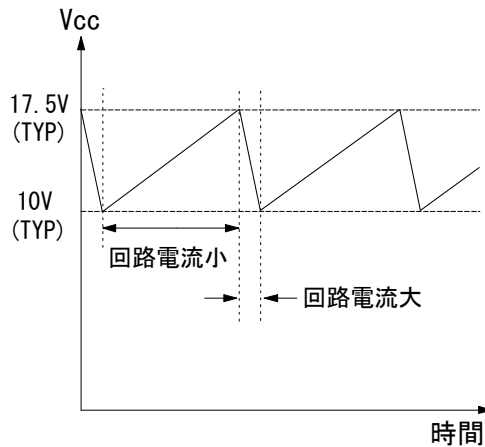
7.5 ラッチ回路

過電圧保護(OVP)回路、過熱保護(TSD)回路の各動作時に、ラッチモードでスイッチング動作を停止させます(ラッチオフ)。

ラッチ回路が動作しスイッチング動作が停止すると、 V_{CC} 端子電圧が下降し始め、 V_{CC} 端子電圧が動作停止電源電圧 $V_{CC(OFF)}=10V(TYP)$ 以下になると、起動回路が動作し、 V_{CC} 端子電圧は上昇を始めます。

その後、動作開始電源電圧 $V_{CC(ON)}=17.5V(TYP)$ に達すると、回路電流が増加するため、 V_{CC} 端子電圧は低下し、図 7-11 のように、ラッチ回路動作時の V_{CC} 端子電圧波形は、 $10V(TYP)$ と $17.5V(TYP)$ 間を上下する動作になり、 V_{CC} 端子電圧の異常な上昇を防止します。

ラッチ回路の解除は、AC 入力をオフし、 V_{CC} 端子電圧が $V_{CC(La,OFF)}=7.3V(TYP)$ 以下に下がると解除します。

図 7-11 ラッチ時の V_{CC} 端子電圧波形

7.6 過電圧保護機能 (OVP)

V_{CC} 端子と GND 端子間に、OVP しきい電圧 V_{CC(OVP)} = 31.2V (TYP) 以上の電圧が印加されると、過電圧保護機能が動作し、ラッチモードでスイッチング動作が停止します。

V_{CC} 端子電圧がトランスの補助巻線から供給される場合は、V_{CC} 端子電圧が出力電圧に比例するため、出力電圧検出回路オープン時などの 2 次側過電圧を検出できます。

この場合、過電圧保護動作時の 2 次側出力電圧の概算値は、次式(2)になります。

$$V_{OUT(OVP)} = \frac{\text{通常動作時出力電圧 } V_{OUT}}{\text{通常動作時 } V_{CC} \text{ 端子電圧}} \times 31.2V (TYP) \quad \text{-----}(2)$$

7.7 過電流保護機能 (OCP)

過電流保護回路(OCP)は、パワーMOSFET のドレイン電流ピーク値を、パルス・バイ・パルス方式により検出し、電力制限します。

パワーMOSFET のドレイン電流は、S/OCP 端子と GND 端子間の電流検出抵抗 R_{OCP} で検出され、R_{OCP} の電圧降下が OCP しきい値電圧 V_{OCP} に達したときに、パワーMOSFET はターン OFF します

2 次側の出力過負荷特性は図 7-12 のようになります。

過負荷状態で出力電圧が低下すると、補助巻線電圧も、それに比例して低下します。V_{CC} 端子電圧が動作停止電圧 V_{CC(OFF)} 以下になるとスイッチング動作が停止、および起動回路が動作し、V_{CC} 端子電圧は上昇を始め、動作開始電源電圧 V_{CC(ON)} = 17.5V (TYP) に達すると、制御回路が再び動作する、UVLO による間欠動作になります。

なお、多出力巻線のトランスなどは結合が悪くなるため、過負荷状態で出力電圧が低下しても、補助巻線電圧は低下せず、間欠動作にならない場合があります。

このように場合は、過負荷保護機能(OLP)を搭載しているので、この保護が動作します。

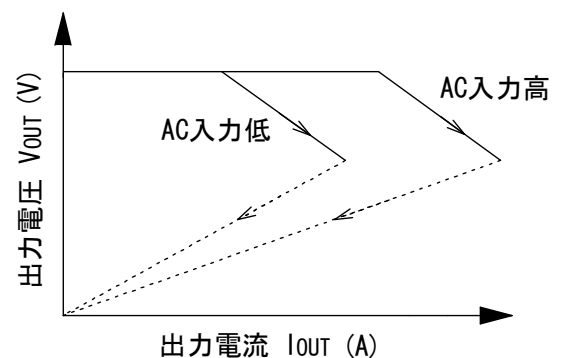


図 7-12 出力過負荷特性

7.8 過負荷保護機能 (OLP)

過負荷保護状態(過電流動作によりドレイン電流のピーク値が制限されている状態)が、ある一定時間(遅延時間)続くと、スイッチング動作を停止し、パワーMOSFET および2次側整流ダイオードなどの部品ストレスを軽減します。

FB/OLP 端子周辺回路を図 7-13 に示します。

過負荷状態になると、出力電圧が低下するため、2次側のエラーアンプがカットオフし、フィードバック電流 I_{FB} が流れなくなります。

フィードバック電流がなくなると、FB/OCP 端子から OLP 流出電流 $I_{OLP} = -26\mu\text{A}$ (TYP) が流れ、図 7-13 の C3 を充電し、FB/OLP 端子電圧が、OLP しきい電圧 $V_{OLP} = 7.2\text{V}$ (TYP) を超えると、過負荷保護回路が動作して、スイッチング動作は停止します。OLP 動作後は、OCP 動作と同様に、UVLO による間欠動作になります。

なお、過負荷の要因が取り除かれると、過負荷保護動作から通常の動作に自動復帰します。

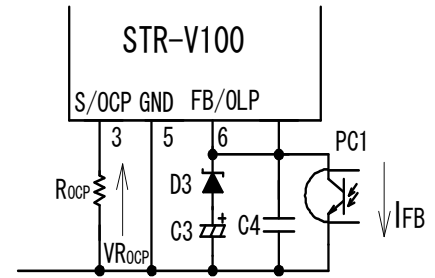


図 7-13 FB/OLP 端子周辺回路

OLP が動作するまでの遅延時間の概算値は、次式(3)になります。

$$t_{DLY} = C3 \times \frac{(V_{OLP} - V_Z - V_F)}{I_{OLP}} \quad \text{----- (3)}$$

ここで、 t_{DLY} は遅延時間 (s)、 V_Z は D3 ツェナーダイオード値 (V)、 V_F は D3 の順方向電圧 (V)

OLP 動作にかかる遅延時間 t_{DLY} は、定電圧制御開始時間 (IC が起動しスイッチング動作を開始してから、出力電圧が定電圧制御するまでの時間) より、長くなるように設定する必要があります。 t_{DLY} が、定電圧制御開始時間より短い設定では、過負荷保護機能が先に動作し、電源が起動できなくなる場合があります。

D3 は、定常動作時に C3 の充電を防止するために接続します (D3 がない場合は、フォトカプラと並列に、容量値が大きい C3 が接続されるため、負荷応答が悪くなります)。D3 のツェナー電圧 V_Z は、定常動作時にブレイクしない電圧を選びます、通常、4.7V~5.6V が目安になります。

C3 は、電源起動時に OLP 動作しないような容量を選びます。通常、4.7 μF ~22 μF 程度が目安になります。

D3、 V_Z とともに、最終的に実働動作を確認して決定します。

7.9 過熱保護回路 (TSD)

IC の制御回路部の温度が、 $T_{j(TSD)} = 135^\circ\text{C}$ (MIN) 以上に達すると、ラッチモードでスイッチング動作を停止します。

8. 設計上の注意点

8.1 外付け部品

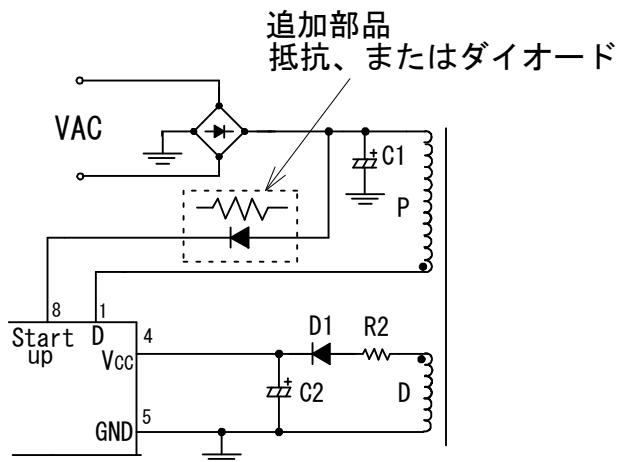
各部品は使用条件に適合したものを使用します。

- 入力、出力の平滑用電解コンデンサは、リップル電流・電圧・温度上昇に対し、適宜、余裕を設けます。また、スイッチング電源用の High-Ripple タイプ、低インピーダンスタイプの部品を使用します。
- トランス類は銅損・鉄損による温度上昇に対し、適宜、余裕を設けます。スイッチング電流には高周波成分が含まれるので、表皮効果の影響が無視できない場合は、巻線の線径を、動作電流の実効値を考慮して、電流密度は $3\sim 4\text{A}/\text{mm}^2$ 前後を目安に選定します。また、表皮効果の影響が大きく、さらに温度対策が必要な場合は、巻線表面積を増加させるため、巻線の本数を増やす、またはリッツ線などを使用します。
- 電流検出用抵抗 R_{OCP} は、高周波スイッチング電流が流れるので、内部インダクタンスの大きなものを使用すると、誤動作の原因になります。内部インダクタンスが小さく、かつ、サージ耐量の大きなものを使用します。

8.2 Startup 端子部が負電位になる場合の対策

Startup 端子が -0.3V 以下になる場合は、図 8-1 のように、抵抗、またはダイオードを追加し、負電圧の防止が必要です。電源起動状態などで、Startup 端子に負電圧が印加されると、起動できない場合があります。

抵抗の場合は $33\text{k}\Omega$ 、ダイオードの場合は下記仕様を満足するものを選びます。



追加部品の推奨値／推奨仕様

- 抵抗の場合
 $33\text{k}\Omega$
- ダイオード
尖頭逆電圧 $V_{\text{RM}} > 35\text{V}$
順電流 $I_{\text{F}} > 1.5\text{mA}$
逆回復時間 $t_{\text{r}} < 27\mu\text{s}$
逆電流 $I_{\text{R}} < 100\mu\text{A}$

図 8-1 Startup 端子の負電位対策

8.3 位相補正

一般的なシャントレギュレーターを使用した 2 次側エラーアンプ周辺部の回路構成を図 8-2 に示します。

位相補正用コンデンサ C8 の容量は 0.047 μ F \sim 0.47 μ F 程度が目安になり、最終的に実働動作を確認して決定します。

図 8-3 に示す FB/OLP 端子と GND 端子間のコンデンサ C4 は、高周波ノイズ除去、および位相補正用です。C4 は FB/OLP 端子と GND 端子近くに接続し、C4 の容量は、2200pF \sim 0.01 μ F 程度が目安になり、最終的には実働動作を確認して決定します。

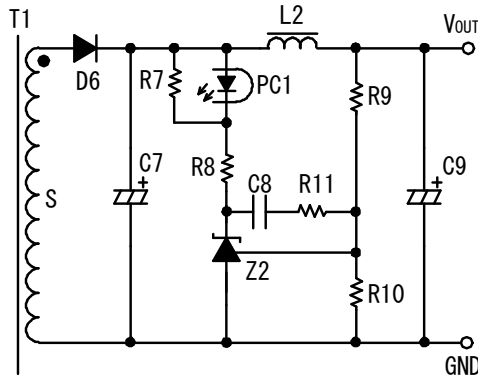


図 8-2 2 次側シャントレギュレーター回りの周辺回路

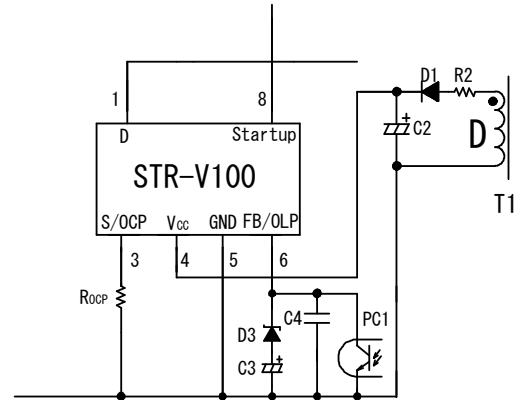


図 8-3 FB/OLP 端子周辺回路

8.4 2 次側ダイオードのノイズ対策方法の注意点

2 次側ダイオードのノイズ低減を行なう場合、図 8-4 のように 2 次側ダイオードと並列にセラミックコンデンサ Cdi を挿入する場合があります。このときドレイン電流波形を観測し、ドレイン電流に異常なリングング振動がある場合は、図 8-5 のようにダンパー抵抗 Rdi を直列に挿入してドレイン電流の振動を改善し、電源動作を安定させることを推奨します。

なお、ノイズ対策用に挿入した Rdi、Cdi の部品温度上昇は十分な検討、評価が必要です。

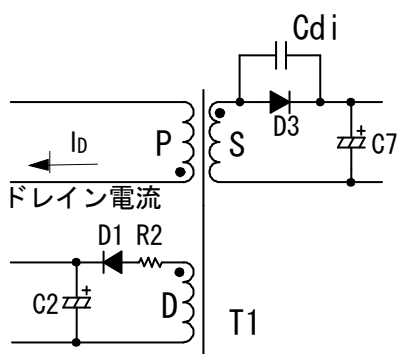


図 8-4 ダイオードノイズ対策例

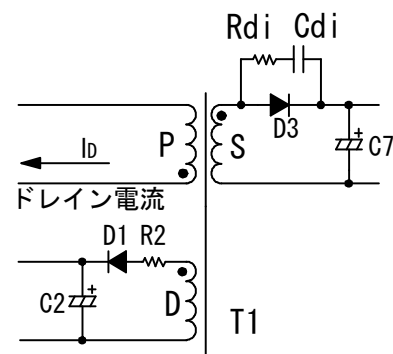


図 8-5 ダンパー抵抗挿入例

8.5 パターン設計

パターン配線および実装条件によって、誤動作・ノイズ・損失などに大きな影響が現れるので、配線の引回し、部品配置には十分な注意が必要です。

一般的に、図 8-6 のように高周波電流がループを作る部分は、ラインパターンを“太く”、部品間の配線を“短く”、ループ内面積が極力小さくなるようにし、ラインインピーダンスを下げたパターン設計を行います。

また、アースラインは輻射ノイズにも大きな影響があるので、極力“太く”、“短く”配線します。

スイッチング電源は、高周波、高電圧の電流経路が存在するので、安全規格面を考慮した部品配置、パターン距離が必要です。なお、パワーMOSFETのON抵抗 $R_{DS(ON)}$ は、正の温度係数のため、熱設計に注意します。

IC周辺回路の接続例を、図8-7に示します。

- (1) S/OCP 端子周り (S/OCP 端子 $\sim R_{OCP} \sim C1 \sim T1$ (P 巻線) $\sim D$ 端子)

このパターンは、スイッチング電流が流れる主回路パターンのため、極力、太く、短く配線します。

ICと入力電解コンデンサC1との距離が離れている場合は、高周波電流ループのインピーダンスを下げるため、トランスまたはICの近くに電解コンデンサまたはフィルムコンデンサ(0.1 μ F程度 / 印加電圧に適した耐圧品)を追加します。

- (2) GND 端子回り (GND 端子 $\sim C2$ (-側) $\sim T1$ (D巻線) $\sim R2 \sim D1 \sim C2$ (+側) $\sim V_{CC}$ 端子)

このパターンは、極力、太く、短く配線します。

ICと電解コンデンサC5との距離が離れている場合は、 V_{CC} 端子とGND 端子の近くにフィルムコンデンサ(0.1 μ F \sim 1.0 μ F程度 / 50V)を追加します。

- (3) 電流検出用抵抗 R_{OCP} 回り

R_{OCP} は、S/OCP 端子の近くに配置します。

共通インピーダンスやスイッチング電流が制御回路へ影響を与えることを避けるため、主回路系と制御系グラウンドは R_{OCP} 近傍で接続、 R_{OCP} から専用パターンでGND 端子へ接続します(図8-7のA点)。

2次側整流パターン接続例を、図8-7に示します。

- (1) 2次側整流平滑回路 (T1(S巻線) $\sim D6 \sim C7$)

このパターンは、極力、太く、短く配線します。整流パターンが細く、長い場合、パターンに寄生するリークインダクタンス成分が増加し、パワーMOSFETのターンOFF時のサージ電圧が増加します。2次側整流パターンを考慮したパターン設計は、パワーMOSFETの耐圧マージンを広くとれる、およびクランプスナバ回路へのストレスや損失の軽減が可能です。

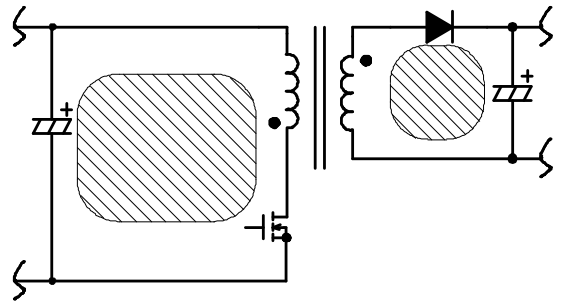


図 8-6 高周波電流ループ (斜線部分)

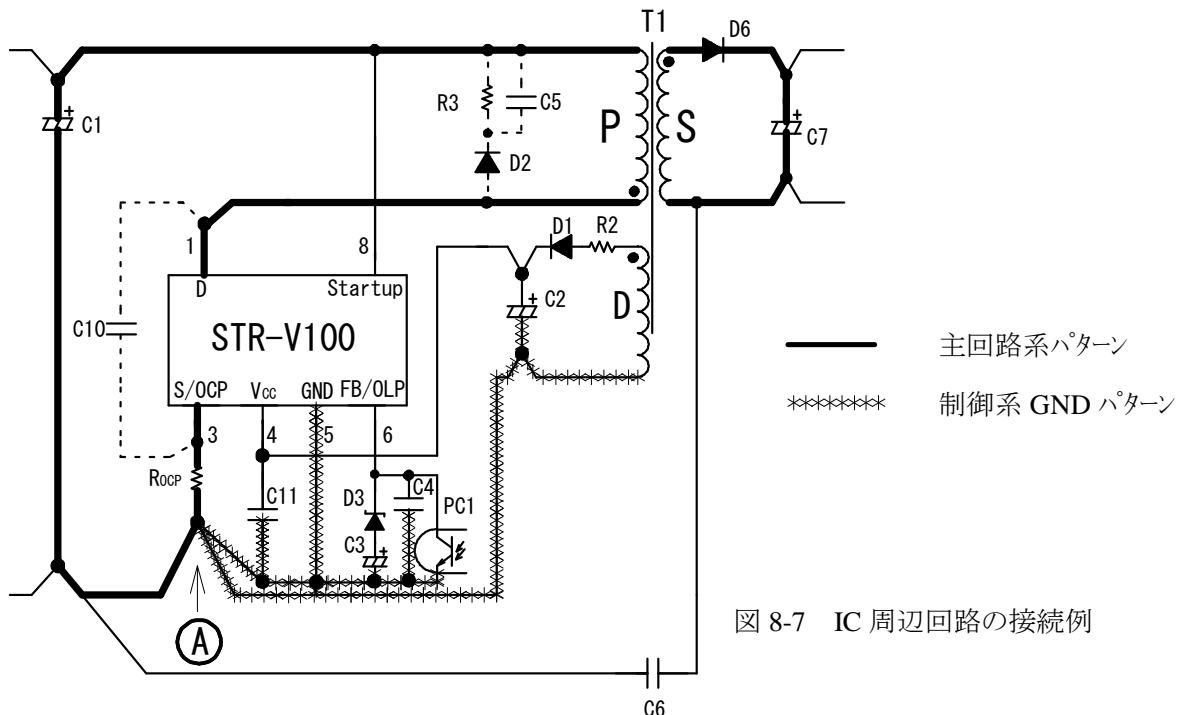


図 8-7 IC 周辺回路の接続例